

第三章 矽微加工製程技術

3.1 微機電技術發展歷程與簡介

微機電系統 (micro-electro-mechanical systems, MEMS) 為一多元整合技術，其基礎及應用涵蓋工程、科學和生物醫學等領域。此技術於 1960 年代開始萌芽，於 1990 年代初期廣受歐、美、日等先進國家之關注，除政府部門投入大量研究經費外，產業界亦爭相加入競逐⁽¹⁾；根據歐洲 NEXUS 之估計，微機電市場規模於 2000 年達美金 142 億元，2004 年將達美金 304 億元，年複合成長率達 21%⁽²⁾。

傳統的微機電技術多半仰賴工程師純熟的製程經驗和技術，在矽晶圓 (silicon wafer) 或矽晶片 (chip) 上利用沉積、曝光、顯影、蝕刻等方式依序將所需之微機械結構定義出來，而早期運用之微結構形成機制多半在於利用矽晶片材質的非等向性晶格方向和各不同材質間的蝕刻選擇比來達成微元件裝置。如 1980 年代美國加州大學柏克萊分校戴聿昌博士等人便是利用傳統積體電路製程技術的製作，製造出全世界第一個最小的靜電式馬達 (如圖 3.1 所示)，也因而奠定了往後矽基 (silicon based) 微機電系統技術的研究基石，並且開啟了通往微小世界的另一扇門。今日微機電系統伴隨著漸受重視的光通訊、無線通訊及生醫流體技術而獲致蓬勃發展，故可推斷未來微型化、積體化以及系統化單晶片技術 (system on a chip, SoC)，將是資訊、通訊和消費性電子產業的主流趨勢之一。微機電技術則可提供適時的技術橋樑和嶄新的設計概念。

一般而言，微機電製造技術基本上大致可分為三類：(1) 體型微加工 (bulk micromachining)，(2) 面型微加工 (surface micromachining) 及 (3) 微光刻電鑄模造技術 (LIGA)、微放電加工 (micro electrostatic discharge machining, μ -EDM) 與準分子雷射 (excimer laser) 等方法，各簡介說明如下。

(1) 體型微加工

對基材進行等向及非等向乾／濕蝕刻，且基材材質主要是單晶矽及 Pyrex 玻璃，部分會用到石英或鋇鈦酸鉛 (PbZrTiO_3 , PZT)。主要優點是單晶矽之機械特性非常穩定，且強度頗佳，於長期振動下不易有弛張 (relaxation) 的現象，所以導航用之微機電感測器會採用單晶

第 3.1 節作者為鄭英周先生及張培仁先生。

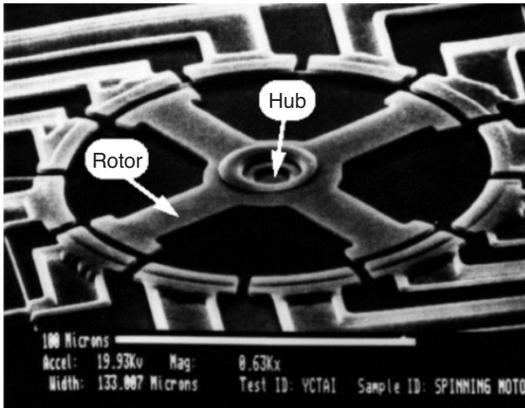


圖 3.1
全世界第一個最小的靜電式馬達。

矽 (或石英) 來製作。此外，需要高深寬比結構之應用，如光纖聯接器，或需要平坦面之應用，如光學振鏡 (vibrating mirror) 等也多採用體型微加工技術。

(2) 面型微加工

利用薄膜之成長與蝕刻來建構所需要之結構，如 Cronos 所發展之 MUMPs (multi-user MEMS processes) 製程即屬此類。薄膜材質主要是多晶矽、氧化矽、氮化矽及各種金屬，例如鋁、金、銅等，近幾年也有用到鑽石、碳化矽、PZT 等薄膜。其主要優點是結構設計較具彈性，製程設備與傳統積體電路製程較接近；缺點是在長期振動下易有弛張現象以及殘餘應力會造成結構翹曲等問題，除了美國 Sandia 國家實驗室 (Sandia National Laboratory, SNL) 利用多層化學機械研磨 (chemical mechanical polishing, CMP) 製程以降低此效應之外，一般技術均較不容易得到平整之結構，如圖 3.2 所示⁽³⁾。

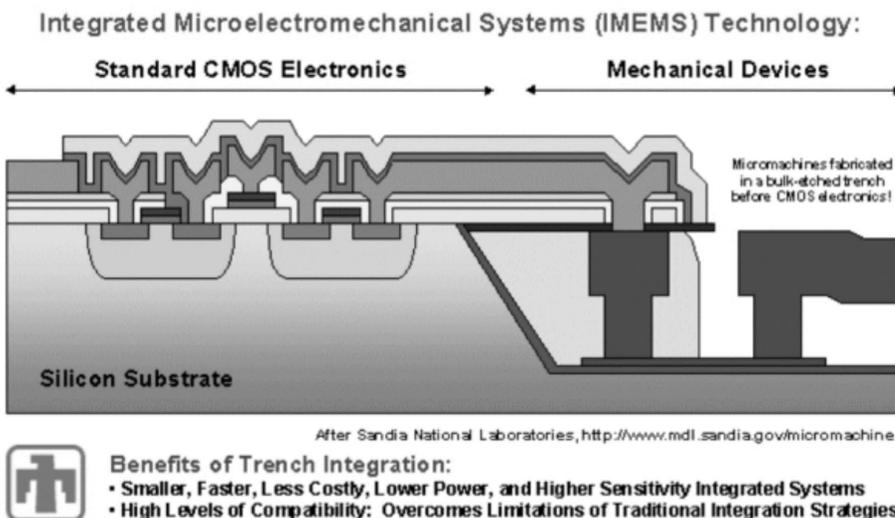


圖 3.2
美國 Sandia 國家實驗室 (SNL) 積體微機電製程示意圖。

(3) LIGA、微放電加工及準分子雷射等方法

微光刻電鑄模造技術 (德文：Lithographie, Galvanoformung, Abformung, LIGA；英文：lithography, electroforming, molding) 是利用 X 光進行厚膜光阻之曝光，並利用電鑄如鎳、鎳鈷及鎳鎢等金屬製作母模，之後用熱壓或旋鍍翻成子模，再利用子模製作最終金屬或陶瓷元件，德國 IMM 公司即是使用 LIGA 製程⁽⁴⁾。LIGA 之優點是可以得到 1 mm 以上高深寬比結構，缺點是必須利用同步輻射源進行曝光，所以應用並不普遍，且在 1 mm 厚度以下有逐漸被 UV-LIGA 取代之趨勢。

微放電加工是利用放電及化學蝕刻進行基材加工；準分子雷射 (excimer laser) 則是利用雷射之局部高能量密度把基材移除。兩者之優點均是不用光罩，如果配合精密定位控制能製作三維結構；缺點是兩者均為序列製程 (serial process)，大量製造時速度非常慢。

除了上述三類基本製程技術外，亦有三項新進技術值得特別加以介紹：(1) 絕緣層上矽晶 (silicon-on-insulator, SOI)，(2) 聚合物，(3) 與積體電路相容製造技術。

(1) 絕緣層上矽晶

絕緣層上矽晶 (SOI) 的材料應用是藉由犧牲層 (sacrificial layer) 二氧化矽的存在，利用下層單晶矽當基板，上層二至數十微米之單晶矽製作結構層，配合 ICP 之深蝕刻技術可以得到高深寬比之單晶矽結構。其優點是同時具有體型微加工單晶矽之優良機械性質與接近面型微加工之設計彈性。缺點是 SOI 晶片比普通矽晶片貴 10 倍以上，所以利用 SOI 技術製作微機電元件之文獻相當多，但是廠商使用較少⁽⁵⁾。一般亦可依晶圓製造方式分為 BESOI (backside-etch silicon-on-insulator) 以及 SIMOX SOI (separation by implantation of oxide SOI) 等。

(2) 聚合物

在生物晶片之應用上，一般而言所需結構尺寸較大而且所需之解析度較低，為了降低晶片成本及達到生物相容性，聚合物如 parylene、聚甲基丙烯酸酯 (PMMA) 及 PDMS 等應用日廣。

(3) 與積體電路相容製造技術

此即為第 3.4 節所欲介紹之製程方式。前述五種製程方法均無法將微機電元件與積體電路同時整合在同一晶片上 (monolithic integration)，必須採用打線 (wire bonding) 或覆晶接合 (flip chip) 方式將兩者封裝在一起，目前許多已商品化之微機電元件皆採用此方法。但有許多高性能元件由於需要：① 降低雜訊，如 Analog Devices 之加速度計及 MEMSCAP 之微波被動元件；② 降低外連線接點數，如德州儀器公司 (Texas Instruments) 之 DMD (digital micromirror device)、室溫紅外線攝像儀及 600 dpi 以上之噴墨頭等，均必須將微機電元件與積體電路整合在同一晶片上。也就是說，CMOS-MEMS 是利用與 CMOS 積體電路相容之微機電製程技術進行兩者之整合。

3.2 體型微加工技術

3.2.1 簡介

近年來微感測器與微致動器技術之精進，絕大部分是仰賴微加工製程技術 (micromachining technology) 之蓬勃發展所致。微加工技術能夠使微小尺寸之機械結構，通常指微米 (μm) 至釐米 (cm) 等級之間，被精確加工並大量製造。一般來說，微加工製程技術可大約分為體型微加工 (bulk micromachining) 及面型微加工 (surface micromachining) 兩種。體型微加工之製造方式乃利用各種不同之蝕刻方法，於塊材上去除材料以製成微結構。以蝕刻方式來說，可約略分為等向性之蝕刻 (isotropic etching) 或非等向性之蝕刻 (anisotropic etching)；而以蝕刻之狀態來分，亦有濕蝕刻 (wet etching) 及乾蝕刻 (dry etching) 兩種。而面型微加工之製造方法則使用多層之薄膜沉積於底材上，經過微影與蝕刻製程分別定義每一層之結構形狀，然後將暫時作為結構層支撐之犧牲層 (sacrificial layer) 以蝕刻方式移除後，即可達到結構釋放 (release) 的目的，形成可自由運作之機械結構。

因此體型微加工與面型微加工所能形成之結構有以下之主要差別。(1) 前者可形成較大、較厚之質塊或結構，後者因為受限於薄膜之製程，所能形成之結構厚度及質塊大小較為有限。(2) 前者多以蝕刻時間定義結構之尺寸，且往往因蝕刻選擇比及晶格對準等因素，結構精度上誤差較大；後者以沉積薄膜與微影方式製造，精度控制較前者良好。(3) 與積體電路 (integrated circuit, IC) 積體化而言，前者使用之蝕刻液與蝕刻用遮罩層以及蝕刻完後之結構，與積體電路之相容性問題較多；反之後者多使用與積體電路相容之材料製程，如多晶矽、氧化矽及鋁等，製程上較為相容。(4) 前者所使用之製程設備及過程較後者便宜。因此考慮成本、製程相容度、結構精度與功能性之後，此兩種加工方法往往混用以達成設計之目標，因此必須參考實際應用之需求而定，兩者並無良窳之分。本節將專注於體型微加工製程技術部分，而面型微加工製程技術將於 3.3 節介紹。

在濕式體型微加工中，等向性蝕刻方式多使用酸性之溶液將材料蝕刻，因蝕刻液之蝕刻速度不因所蝕刻材料之晶格方向而不同，因此所造成之結構多為半球形或半圓柱體形；而非等向性蝕刻方式則多使用鹼性溶液，其蝕刻所得之形狀與單晶基材之晶格方向相關。除濕式體型微加工外，於近幾年中，使用矽反應離子深蝕刻方式 (deep silicon reactive ion etching) 之乾蝕刻法，亦為製造高深寬比微結構之另一種選擇。至於要如何選擇蝕刻方式，端賴微結構之型態、精度以及前後製程之相容性而定。

在體型微加工之材料選擇上，可用於微加工之底材種類相當的多，包含矽、鍺、砷化鎵、磷化銦等半導體材料，二氧化矽、石英、氧化鋁等非金屬材料，以及鋁及銅等金屬材料等。但能用於非等向性蝕刻者，惟具有單晶之結構方可，例如單晶矽、石英以及砷化鎵等。但在如此眾多之材料中，單晶矽為使用最頻繁亦為最重要之體型微加工材料。除其機械特性上之優點外 (將於下一節介紹)，其在半導體積體電路製程中之重要地位、價格便宜，且蝕刻特性已被較清楚掌握等因素，使其成為微系統加工中最重要之材料。因此本節

將著重說明矽體型微加工之製程及技術。

使用矽體型微加工技術所能製造之結構包含噴孔 (nozzle)⁽⁶⁾、空室 (cavity)⁽⁷⁾、V 形槽、毛細管⁽⁸⁾、光纖接頭等靜態結構⁽⁹⁾；薄膜⁽¹⁰⁾、懸臂樑⁽¹¹⁾、橋樑⁽¹²⁾、振盪器⁽¹³⁾ 等動力結構；以及微馬達、微齒輪、針接點 (pin joint)、彈簧、滑塊⁽¹⁴⁻¹⁸⁾ 等可運動結構。這些結構所製成之微感測及致動元件，包含壓力計⁽¹⁹⁾、加速規⁽²⁰⁾、高精度噴孔⁽²¹⁾、熱偵測器⁽²²⁾、積體化之光柵及光偵檢器⁽²³⁾、積體化之輻射偵檢計⁽²⁴⁾、主被動元件積體化之積體電路⁽²⁵⁾、微電子偵檢之探針⁽²⁶⁾、側向移動之致動器⁽²⁷⁾、微生物反應器⁽²⁸⁾、混合器⁽²⁹⁾、分離篩檢裝置⁽³⁰⁾，以及細胞之培養皿等⁽³¹⁾。藉由體型微加工技術之幫助，這些裝置不但可以微小化，擁有精密之結構，並可以與積體電路整合成為智慧型的系統。因此體型微加工的應用，可謂非常廣泛。

3.2.2 使用矽為機械材料之特性

在微系統領域中，單晶矽為用於微機械結構最多的一種材料。因此除了其為人所熟知的電子特性之外，對其機械特性亦必須要充分了解，以利微結構設計及製造。單晶矽所展現之結構類似鑽石結構，每一原子向外以共價鍵結其他四個原子，如圖 3.3 所示之交聯面心立方結構 (interlocking face-centered cubic)，每一立方體內擁有八個原子⁽³²⁾。因此以不同方向去檢視此一結構，會獲得不同之晶格面及晶格特性。此等特性，將於非等向性蝕刻技術中詳細討論。

雖然矽晶圓容易因邊緣之缺陷而沿某些晶格面破裂，但總體來說，單晶矽為機械強度相當良好之一種材料。表 3.1⁽¹³⁾ 表列了八種常用之機械材料與單晶矽之機械特性。從表中可以比較以下幾種重要之機械特性，包含密度 (density)、楊氏係數 (Young's modulus)、降伏強度 (yield strength)、硬度 (Knoop hardness)、熱膨脹係數 (thermal expansion coefficient) 以及熱導率 (thermal conductivity) 等。在表中可以很清楚的看出，單晶矽有與鋼 (steel) 相仿之楊氏係數、高兩倍之降伏強度，但其密度卻只有鋼的三分之一，接近鋁的密度。由此可以得

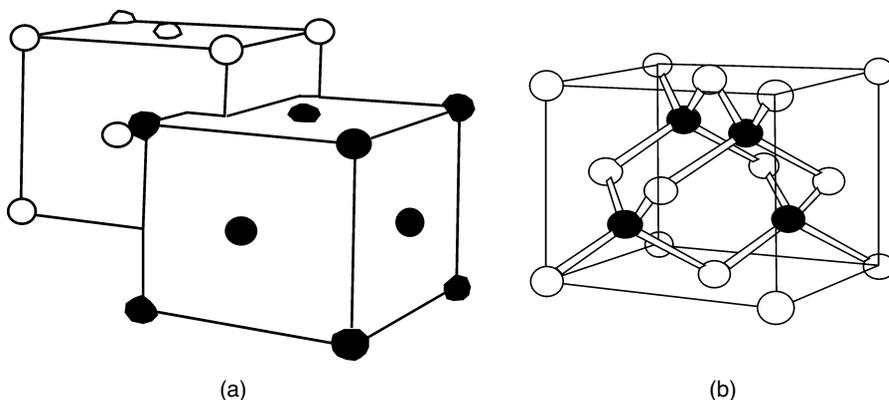


圖 3.3

(a) 鑽石晶格結構可由兩相互穿透之面心立方體所構成，(b) 矽與鄰近之四個矽原子形成共價鍵。

表 3.1 單晶矽與其他機械材料間之機械特性比較⁽¹³⁾。

	密度 (g/cm ³)	楊氏係數 (10 ¹² dyne/cm ²)	降伏強度 (10 ¹⁰ dyne/cm ²)	硬度 (kg/mm ²)	熱導率 (W/cm°C)	熱膨脹係數 (10 ⁻⁶ °C)
鑽石	3.5	10.35	53	7000	20	1.0
氧化矽	2.5	0.73	8.4	820	0.014	0.55
氮化矽	3.1	3.85	14	3486	0.19	0.8
矽	2.3	1.9	7.0	850	1.57	2.33
鋼	7.9	2.1	4.2	1500	0.97	12
不鏽鋼	7.9	2.0	2.1	660	0.329	17.3
鎢	19.3	4.1	4.0	485	1.78	4.5
鋁	2.7	0.7	0.17	130	2.36	25

知，比起鋼來，單晶矽為較輕且強度不差之材料。唯一與鋼之特性較不相同的地方，單晶矽僅能容忍彈性變形，無法像鋼一樣，在材料斷裂前有塑性變形之空間。但也因為如此，單晶矽並沒有因塑性變形所帶來之機械遲滯 (mechanical hysteresis) 效應，這點相當有利其使用於動態之微結構。除此之外，單晶矽的硬度接近石英，比鎢、不鏽鋼和鋁等金屬之硬度高出許多；且其熱膨脹係數較鋼低四分之三，熱導率性能卻比鋼優異一倍。由以上之比較可知，單晶矽以其機械特性之表現來看，實在不輸機械裝置中常用之材料，如鋼及鋁等。雖有如此優良性能，但其脆性材料之特性亦不可完全忽略。在微系統工程中，常用於解決此等問題的方法包含儘量減少尖銳形狀之設計及製程，以避免應力集中現象而減低其抵抗應力之能力；或使用其他性質更強之材料 (如氮化矽) 成為包覆層，以增加對應力的抵抗；或儘量減低其與其他接合底材之間的內應力等。在適當的處置之下，脆性問題往往可以避免。

除了這些常用的機械特性之外，單晶矽還擁有一項其他金屬材料望塵莫及的特性，就是其擁有相當好的壓阻特性 (piezoresistive effect)⁽³³⁾，其壓阻之量規因子 (gauge factor) 為一般金屬的數十至數百倍，因此可製造相當靈敏之壓阻式感測器，此類感測器亦為微機電系統常使用之主要感測方式之一。透過積體化之製程，此類壓阻感測器極容易與積體電路製程整合，而成為低價、高靈敏度的偵測系統。

由此可知，使用單晶矽作為微結構之材料，有相當多之優越特性。因此以下幾小節將介紹如何使用濕蝕刻方式來體型微加工單晶矽基材，使其成為有用之微結構。

3.2.3 矽等向性濕式蝕刻

所謂等向性蝕刻是指在所有不同之晶格方向，皆有相同之蝕刻速率。當單晶矽接受等向性蝕刻時，所蝕刻的部位多半形成圓弧化之形狀。等向性蝕刻可用於形成半球形、半圓柱形或圓化之形狀，而此一蝕刻等向特性可應用於圓化非等向性蝕刻所形成之尖銳角落，

以避免應力集中現象，移除其他蝕刻後之粗糙表面，或蝕刻單晶、多晶或非晶矽之薄膜以形成結構等。

在單晶矽的等向性蝕刻中，通常使用的蝕刻液為酸性溶液，其中以氫氟酸／硝酸／醋酸 (HF/HNO₃/CH₃COOH) 所配成之 HNA 溶液最為普遍⁽³⁴⁻³⁷⁾。水或醋酸在此溶液中可作為稀釋溶劑，但因醋酸可以防止硝酸之分解，因而保持硝酸之氧化能力，所以較水為佳。

HNA 系統蝕刻矽的過程，可由下列簡單的化學反應模型解釋。在此系統中，硝酸扮演氧化劑之角色，引發矽中之電洞 (h⁺) 注入矽之價軌區 (valance band)，造成矽之氧化。被氧化之矽接著與氫氧根離子 (OH⁻) 反應形成二氧化矽，緊接著被氫氟酸溶解形成水溶性之 H₂SiF₆。

硝酸所引發之電洞注入反應如下：



矽與氫氧根離子 (OH⁻) 之反應如下：



氫氟酸與二氧化矽之反應為：



其總反應為：



HNA 系統早在 1960 年代已有相當完整的研究。圖 3.4 所列之等蝕刻率圖 (iso-etch)⁽³⁶⁾ 說明以不同蝕刻配方所造成蝕刻速率變化。此系統所使用之氫氟酸濃度為 49.2 wt%，硝酸濃度為 69.5 wt%。圖中虛線部分為使用水為稀釋溶劑，而實線部分則代表醋酸。此蝕刻系統有以下之特性：

- (1) 在高濃度氫氟酸及低濃度硝酸之蝕刻系統中 (圖中靠上邊處)，等蝕刻率曲線大約平行於等硝酸濃度線，因此硝酸之量決定蝕刻速度。在此區域中，因二氧化矽一旦產生便快速的被氫氟酸移走，因此矽表面之其他因素，如矽之摻雜物質濃度、缺陷、其他雜質等，極容易影響硝酸之氧化速度，因而造成不穩定之蝕刻表面，因此所造成之蝕刻表面較為粗糙，此外溫度對此一區域的影響也較大。
- (2) 相反的，高濃度硝酸及低濃度氫氟酸之蝕刻系統中 (圖中靠右下邊處)，等蝕刻率曲線大

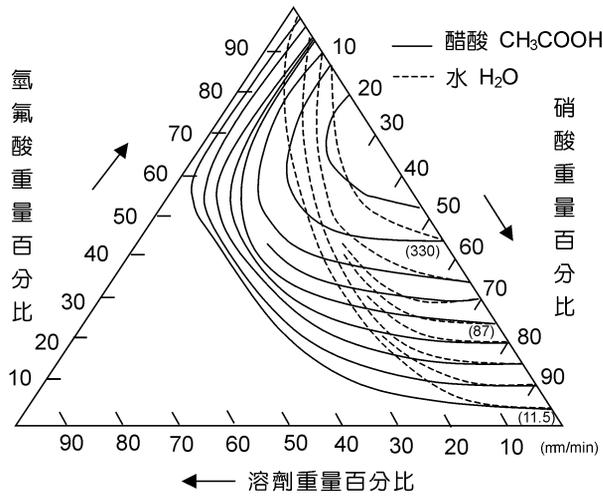


圖 3.4 HNA 蝕刻系統之等蝕刻率圖⁽³⁴⁾。

約平行於等氫氟酸濃度線，因此氫氟酸之量決定蝕刻速度。因為二氧化矽於此區域中保持一定之厚度，此區域之蝕刻完全為等向性，且有拋光之功效，因此所產生之蝕刻表面為光滑面，且溫度之影響較小。

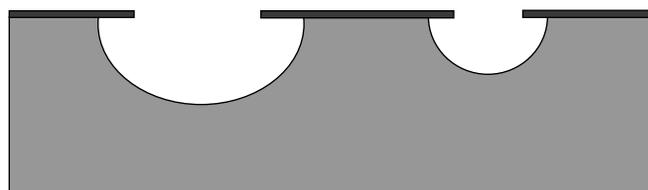
- (3) 在高蝕刻速率區（圖中靠右斜線上上處），兩種酸扮演相同重要之角色。而增加醋酸之量，對於蝕刻速率之改變，較增加水量不明顯。因為醋酸有穩定硝酸氧化能力之效果，因此增加醋酸量對於硝酸氧化能力之改變較小。

使用等向性蝕刻所產生之結果如圖 3.5 所示。蝕刻液由蝕刻遮罩之下方不但往下蝕刻，並且還往側向蝕刻，不但造成圓滑之蝕刻前緣，更造成底切現象 (undercut)。此種底切現象使蝕刻圖形隨蝕刻時間增加而變大，因此不容易精確定義蝕刻圖形。這是想要使用等向性蝕刻製作精確結構所必須注意的。

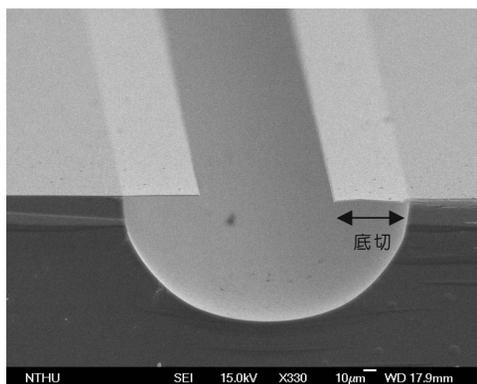
此外，因 HNA 系統之氧化及蝕刻能力相當強，作為遮罩之材料往往不易抵擋此蝕刻液之蝕刻，因而造成遮罩於蝕刻過程中損壞之問題。因此遮罩材料之選擇，便成為極重要之步驟。一般的光阻 (photoresist) 並無法於此一氧化力強的環境中存留許久，因此不適合作為遮罩材料。可短時間（數分鐘內）阻擋蝕刻的材料，包含熱成長之氧化矽層 (thermal SiO_2)，蝕刻速度約為 $0.1 \mu\text{m}/\text{min}$ ；化學氣相沉積之氧化矽層 (CVD SiO_2)，蝕刻速度約為 $0.5 \mu\text{m}/\text{min}$ ；以及無摻雜之多晶矽 (polysilicon)，蝕刻速度約為 $0.7-40 \mu\text{m}/\text{min}$ ⁽³⁸⁾。若需要較長時間之蝕刻，可選擇低壓化學氣相沉積之氮化矽層 (LPCVD Si_3N_4)，蝕刻速度約為 $0.1 \text{nm}/\text{min}$ ；或金／鉻之薄膜等遮罩層⁽³⁸⁾。

3.2.4 矽非等向性濕式蝕刻

單晶矽非等向性蝕刻之特性，與其晶格結構及晶格面有關。在深入探討各種不同晶圓



(a)



(b)

圖 3.5

等向性蝕刻所造成之圓柱狀蝕刻凹槽：(a) 等向性蝕刻示意圖；(b) 蝕刻所得結構電子顯微鏡圖。注意在遮罩層下方蝕刻所造成之底切現象。

所蝕刻出之形狀前，首先必須了解單晶矽之各晶格面結構及特性。矽在沒有結晶之情況下，如圖 3.6(a) 所示，為非晶格結構 (amorphous)，其原子間之排列为散亂型態，無任何整齊之結構。當其結構為多晶 (polycrystalline) 時，如圖 3.6(b) 所示，有許多微小之單晶以不同之方向緊鄰於基材內，且單晶與單晶間形成許多晶格界面。而單晶矽之結構，如圖 3.6(c) 所示，有相當完整之晶格結構，所有的原子依一定之次序整齊排列於晶格結構中。

單晶矽之晶格結構，如圖 3.7 所示之交聯面心立方結構。交聯之方式為每一立方體中皆有四個原子由其他立方體之原子所提供。每一單位立方體可以用一個直交線性座標系統 (rectilinear coordinate system) 來描述晶格方向及晶格面。每一晶格方向使用三個座標量表示，稱為米勒指標 (Miller index)。這些指標之量為晶格長度之整數倍。相同的，每一晶格面可使用同樣的指標系統以表示晶格面之法線方向。在非等向性蝕刻時，了解晶格面方向相當重要，因為於不同之晶格面所得之蝕刻速率並不相同。在矽單晶中，最常被提及的有三個面，包含 (100)、(110) 以及 (111)。(100) 面如圖 3.7(a) 所示，其法線向量平行於 x 軸，於單位晶格中有五個原子，包含四個於角落以及一個於面中心之原子。這些原子與同一平面其他晶格之原子可形成斜 45° 方向縱橫交錯之規則棋盤結構，如圖 3.8(a) 所示。(110) 面如圖 3.7(b) 所示，其 (110) 法線方向與 (100) 方向差 45° 角，與平面相交原子共有八個，而由右前方向左後方觀察，可見規則之非對稱六角形結構。而 (111) 之晶格面如圖 3.7(c) 所示，與三個軸分別相交，且焦點與原點之距離相同，由右上方往左下方觀察，為規則之正六角形結構，亦為六方最密堆積，如圖 3.8(b) 所示。

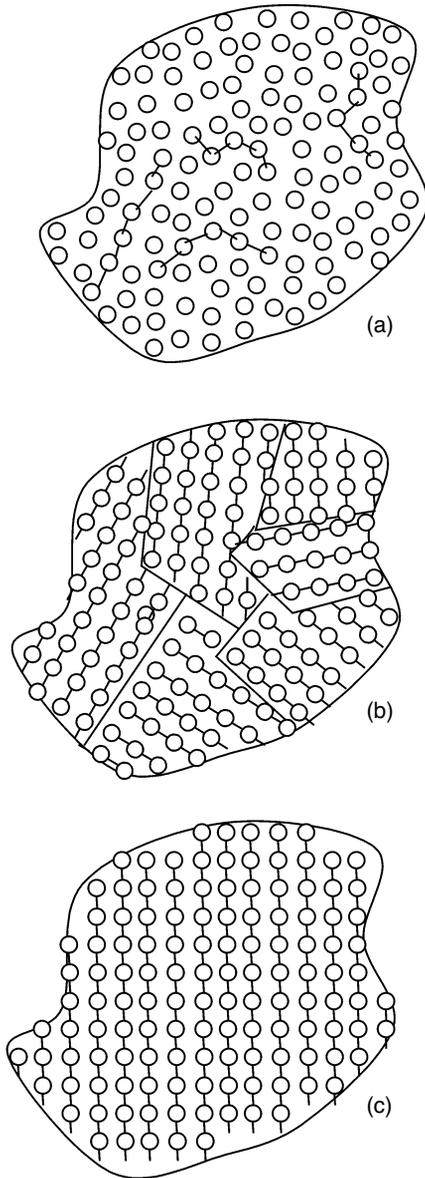


圖 3.6 固體依照原子排列規則之一般分類：(a) 非晶格；(b) 多晶；(c) 單晶。

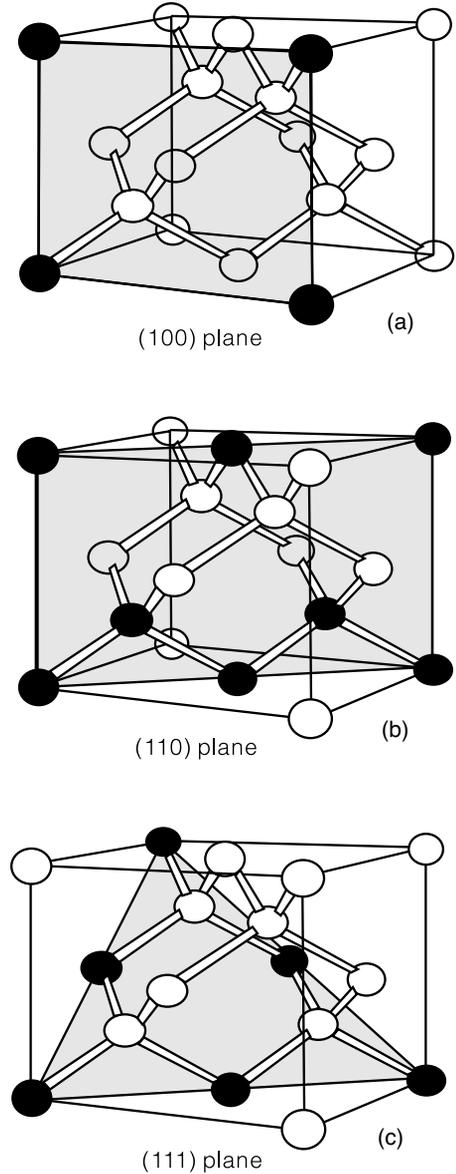


圖 3.7 三個重要的矽晶格面：(100)、(110)、(111) 平面，分別與圖中黑色原子相交。

在許多鹼性蝕刻液蝕刻單晶矽中，可以發現單晶矽之 (111) 面通常為蝕刻最緩慢之面，且甚至可達到其他晶格面蝕刻速度之千分之一。是何等原因造成此一結果，目前尚無定論，但有以下不同之推論及假說。(1) (111) 面為原子密度最大之面 (所指為單位面積之原子

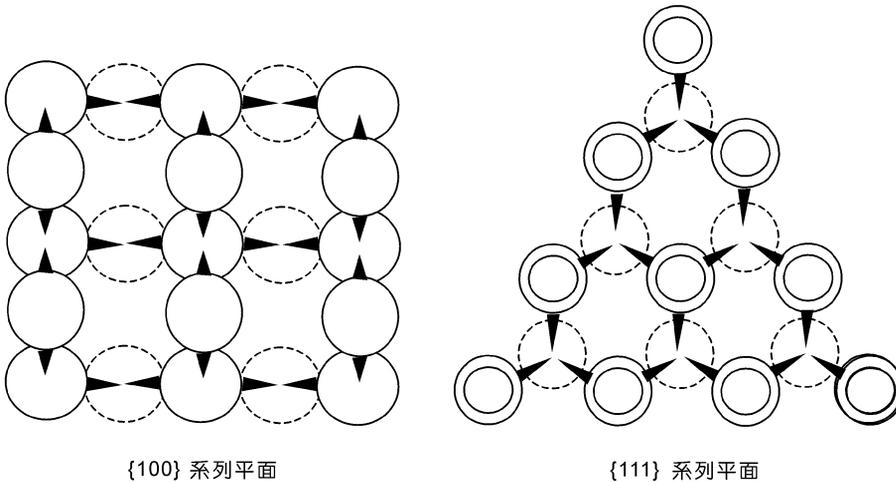


圖 3.8 矽單晶結構之 {100} 及 {111} 系列平面。

數)。(2) (111) 面較其他晶格面易於生成氧化矽，形成保護膜。(3) 在 (111) 面上，每一原子背後有三個共價鍵與基材相連，如需將此原子移走，所需之能量將比移走其他晶格面之原子 (如 (100) 面僅有兩個背後原子鍵結) 要高許多。雖然如此，這些因素中，每單一因素所造成這些晶格面性質的差異，最多不到兩倍，但何以蝕刻速度甚至可以差到數十至數百倍，為這些理論所無法完全解釋的。因此造成此等現象之原因，可能為以上所有因素之組合。

以下將分別介紹於不同方向之晶圓上，以非等向性蝕刻所能形成之各種不同的微結構。

(1) <100> 矽晶圓

在 (100) 矽晶圓上，[100] 所指之方向為晶圓正面之法線方向。而矽晶圓大平邊之垂直方向為 [110] 方向，如圖 3.9 所示。在此讀者所要注意的是，使用小括弧表示之平面為特定之平面，而相同系列之平面 (如 (100)、(010)、(001)、 $\bar{1}$ 00)、(0 $\bar{1}$ 0)、(00 $\bar{1}$)) 則使用大括弧 {100} 統一表示。特定平面之法線方向，則使用中括弧表示。例如 (100) 平面之法線方向為 [100]，而與此類似系列之方向，包含 [100]、[010]、[001]、 $\bar{1}$ 00]、[0 $\bar{1}$ 0] 以及 [00 $\bar{1}$] 等六個方向，可使用 <100> 方向統稱。相同的，{110} 系列面共有十二組特定面，而 {111} 系列面共有八組特定面，請讀者留意。因為 {111} 面為非等向性蝕刻中最緩慢的面，因此蝕刻終止時所看到的面，往往是此系列之面。為能讓讀者充分了解非等向性蝕刻與此系列面之關係，因此特將 {111} 系列八個面所形成之正八面體依照 <100> 晶圓之晶格方向繪製於晶圓之上。在此八面體之正中心點為原點，由原點向八面體六個尖角所連線方向為 <100> 系列方向；由原點向八個面作垂直線所得之方向為 {111} 系列方向；相同的，由原點向十二個邊中點連線之方向為 <110> 系列方向。因此圖 3.9 中之八面體的一邊恰好與 <100> 晶圓大平邊平

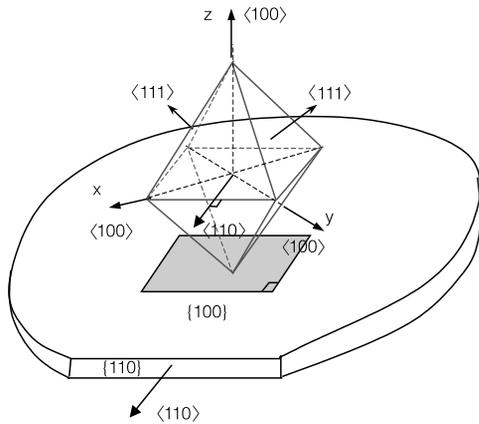


圖 3.9 $\langle 100 \rangle$ 矽晶圓之晶圓平面及大平邊與矽晶格各平面間之關係。

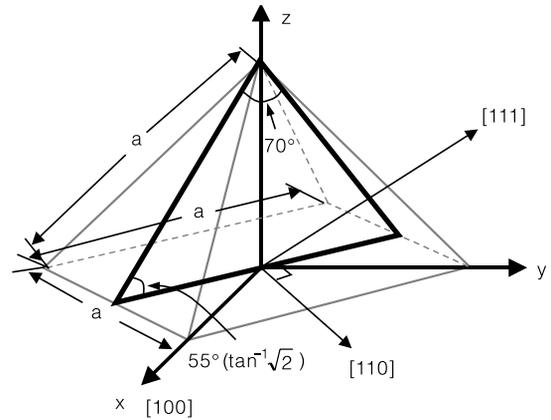


圖 3.10 不同矽晶格面間之幾何及角度關係。

行，因其垂直方向同為 $\langle 110 \rangle$ 方向；而八面體之一尖角恰與 $\langle 100 \rangle$ 晶圓之平面垂直，同為 $\langle 100 \rangle$ 方向。

此一八面體各面間之角度關係，可由圖 3.10 之半八面體經幾何之計算而得知：頂角為 70 度，任一斜面與底平面之夾角約為 55 度。這些角度相當重要，因為爾後之蝕刻所得形狀，與這些角度及八面體方向有關。因此如果我們於 $\langle 100 \rangle$ 矽晶圓上打開一方形之蝕刻窗戶，且讓此窗戶之邊與 $\{110\}$ 邊（亦為晶圓之大平邊）平行，如圖 3.11(a) 所示，所蝕刻出之形狀為一倒金字塔形，正如圖 3.9 所示之正八面體的下半部形狀。如果所開之窗戶較大，在蝕刻沒有完成前就停止的話，倒金字塔之頂端並無法完全形成，仍留下 $\{100\}$ 平面，如圖 3.11(b) 所示。若繼續蝕刻且時間夠長，此一形狀仍可被完全蝕刻，最後停在 $\{111\}$ 面所形成之倒金字塔形狀上。一旦所有之面形成 $\{111\}$ 面所組成之結構，因其蝕刻速度甚低，因此在蝕刻液中仍可長時間保留相同之形狀。如果所開之蝕刻窗戶為長方形而非正方形，如圖 3.11(c) 所示，所形成之結構仍為四個 $\{111\}$ 面所構成，但不同的是，底部之結構為倒金字塔形狀往長邊方向延伸所形成之 V 字形槽。

以上所舉之例其蝕刻窗形狀皆為凹角（小於 180 度之角），如果蝕刻中遇到凸角時，蝕刻又會如何進行？可以用圖 3.12 作一說明。圖 3.12 中之蝕刻形狀包含兩個凸角，當蝕刻進行時，原本以為會如圖 3.12(a) 所示，蝕刻會停留於六個 $\{111\}$ 面上。但相反的，其兩個凸角處並無法阻擋蝕刻之進行，因而造成凸角攻擊（corner attack）之底切現象（undercut），如圖 3.12(b) 所示。此一凸角會一直被蝕刻，一直等到退到凹角所形成之 $\{111\}$ 面為止，如圖 3.12(c) 所示。凸角攻擊的結果雖不能形成所要之山丘狀結構，但妥善利用底切之效果，卻可以因下方材料之掏空而形成遮罩材料的懸浮結構，如圖 3.12(c) 所示之懸臂樑。因此如果所開之蝕刻窗戶為其他任意形狀，圖 3.12(d) 所示，最後之蝕刻結果會停留於包圍此一形狀之最小 V 形槽。

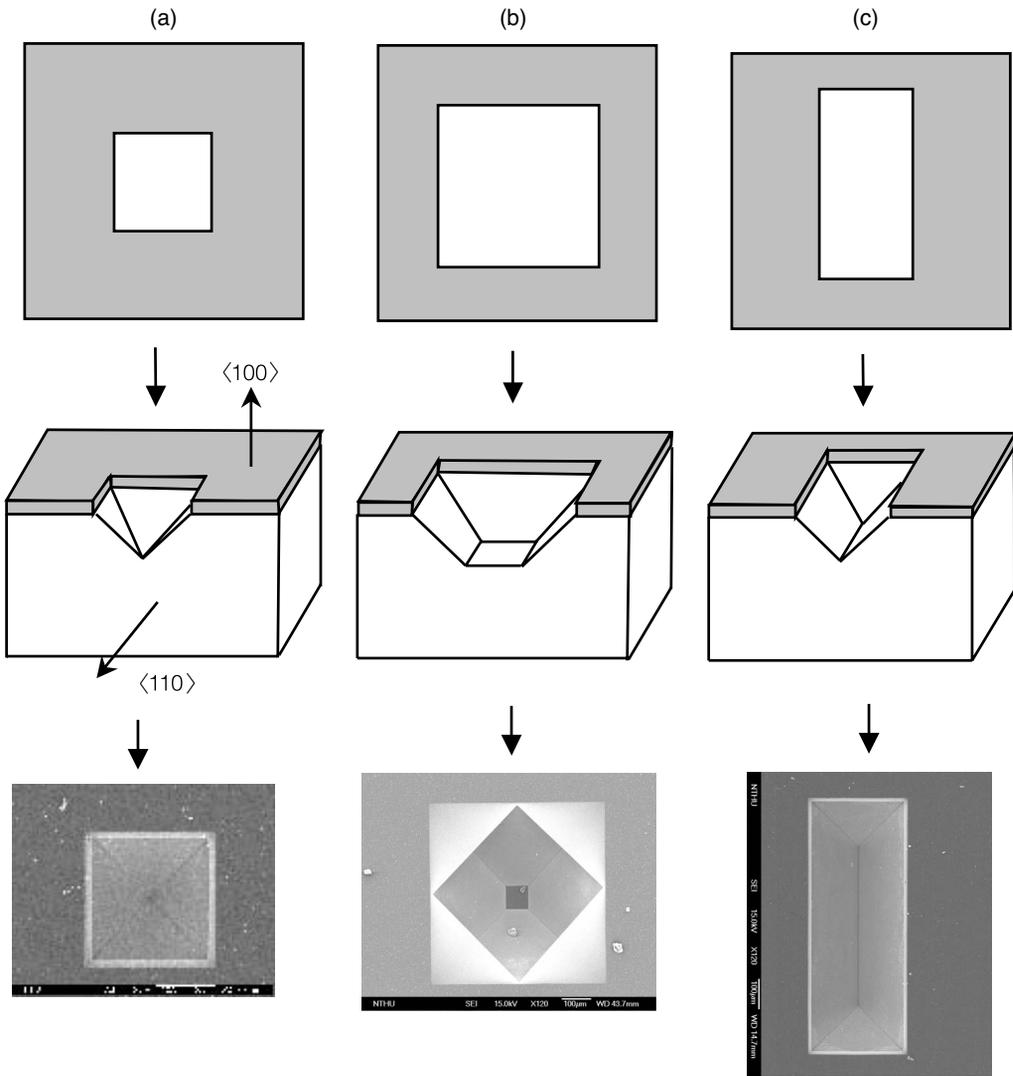


圖 3.11 $\langle 100 \rangle$ 矽晶圓上不同尺寸之長方形蝕刻窗在體型微加工後所形成之形狀，注意所有的斜面皆由 $\{111\}$ 面所形成。

為能解決凸角攻擊問題以製造凸起之結構，角落補償之技術因而被發展且廣泛使用。其詳細之方法將於角落補償技術一節敘述。

(2) $\langle 110 \rangle$ 矽晶圓

$\{111\}$ 面所形成之正八面體，在 $\langle 110 \rangle$ 晶圓上之相對位置如圖 3.13 所示。在 $\langle 110 \rangle$ 晶圓上， $\langle 110 \rangle$ 所指之方向為晶圓平面之法向量，正如八面體中心點連於一邊中心之方向。而 $\langle 110 \rangle$ 晶圓大平邊所指之方向為 $\langle 111 \rangle$ 之方向，正如八面體一面之法線方向。此八面體投影

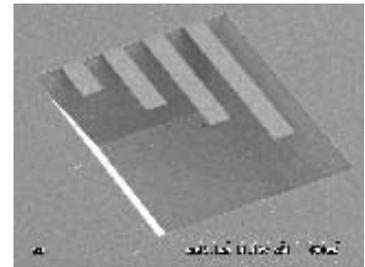
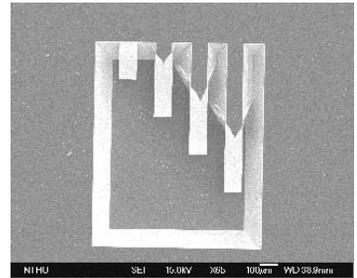
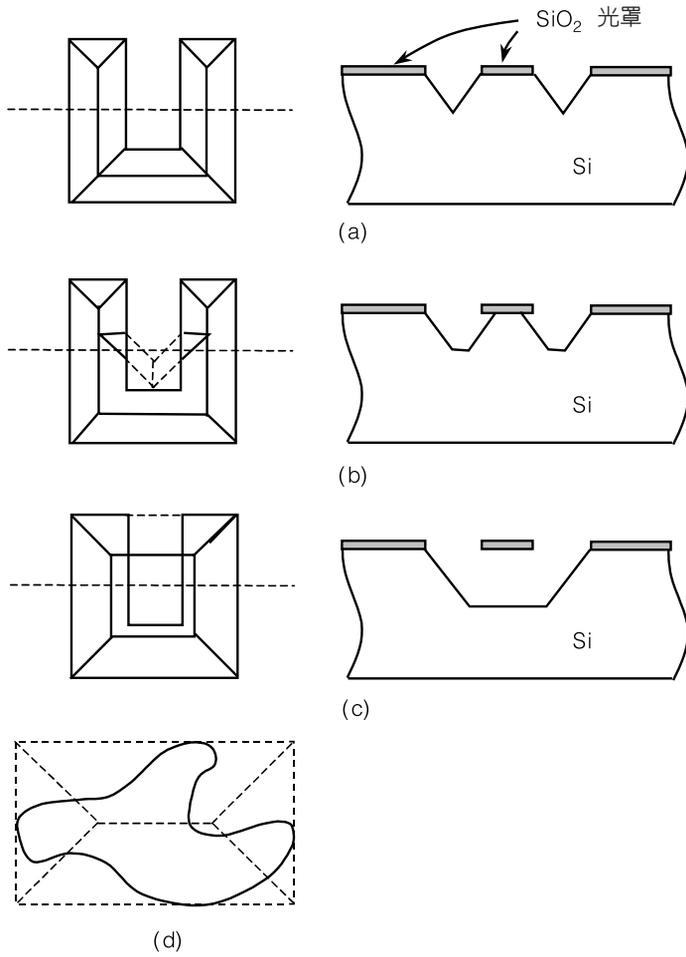


圖 3.12 懸臂樑結構可由凸角攻擊之底切作用形成。

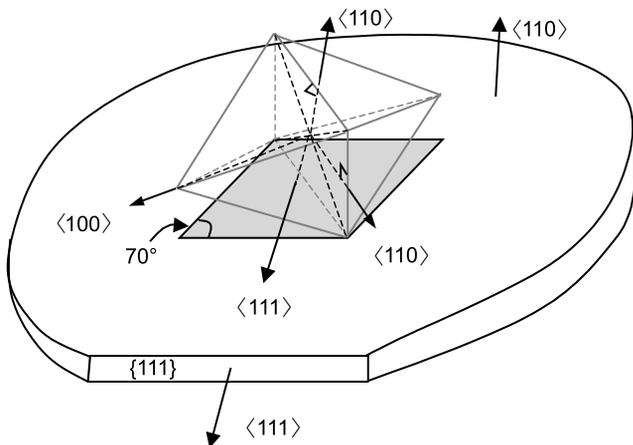


圖 3.13

$\langle 110 \rangle$ 矽晶圓之晶圓平面及大平邊與矽晶格各平面間之關係。

於晶圓面所得之形狀為頂角 70.52° 度互補角 109.48° 度之平行四邊形。因 $\{111\}$ 面為蝕刻所停留之面，因此在 $\langle 110 \rangle$ 晶圓上蝕刻所得之最後形狀將與所示之八面體位置相關。

如果仔細的觀察此八面體，將會發現其中有四個 $\{111\}$ 面垂直於晶圓表面。因此如果於 $\langle 110 \rangle$ 晶圓表面打開一平行於此四面中任兩平行面之長窗，如圖 3.14 中 A-A' 與 B-B' 截面所示，所形成之蝕刻凹槽將垂直於晶圓表面，正如八面體所預測一般。如果此一長窗夠長，所形成之垂直通道甚至可以貫穿晶圓。這是一種可以用來製造高密度印表機頭流體通道之關鍵技術。當所開之蝕刻窗非平行於前述之任兩平行面，而是與平行四邊形大頂角連線平行時，所得之蝕刻形狀將停留在極淺之 V 形槽上，並無法形成垂直微通道，如圖 3.14 C-C' 截面所示。因此將蝕刻長窗對準正確晶格方向是極重要的，否則無法形成正確之微結構。對於任意形狀之蝕刻窗開於 $\langle 110 \rangle$ 晶圓上時，所形成之結構如圖 3.15 所示，將被一從上方看似六角形之結構所包圍，類似 $\langle 100 \rangle$ 晶圓蝕刻時可見之倒金字塔形狀。此一類似六角形之結構經仔細查看，實為圖 3.13 之八面體除去上部及部分下部所形成的結構。由 A-A' 截面可得矽晶面與平面夾角為 35° 度，而由 B-B' 截面可得垂直之矽截面。

(3) $\langle 111 \rangle$ 矽晶圓

對於 $\langle 111 \rangle$ 矽晶圓而言，八面體之位置變換如圖 3.16 所示。垂直晶圓平面之方向為 $\langle 111 \rangle$ 之方向。在 $\langle 111 \rangle$ 晶圓上沿平行 $\langle 122 \rangle$ 方向開一圓形之蝕刻窗，所得之蝕刻形狀為一八面體型，其側邊六個面中，有三個面朝上，其餘三個面朝下。因為最上之面及最下之面皆為 $\{111\}$ 面，因此其間距離將不易因蝕刻時間而變化。

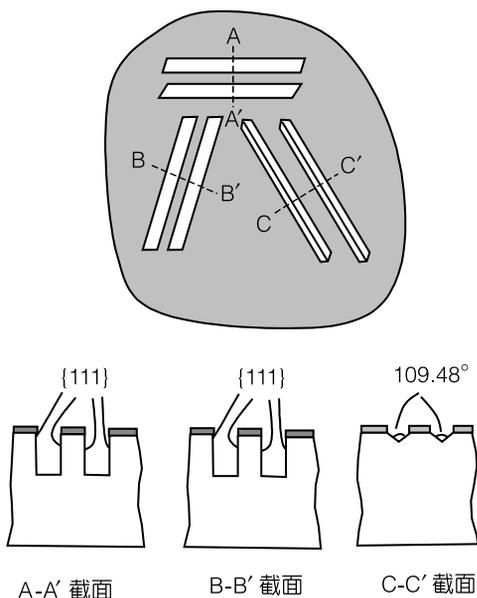
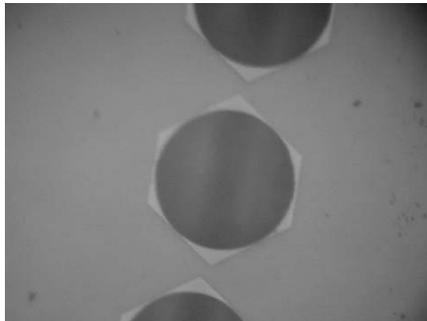
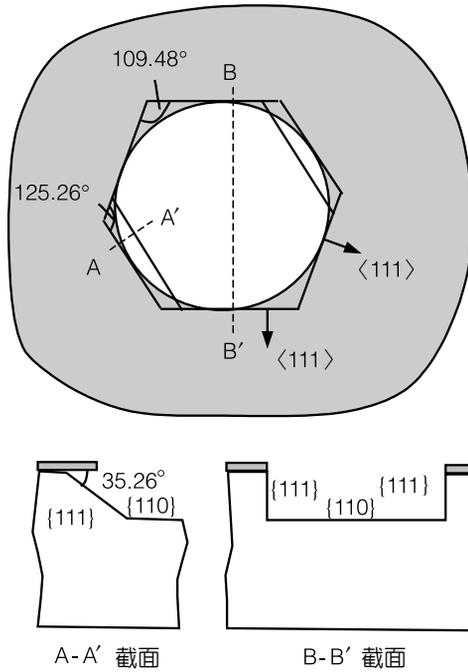
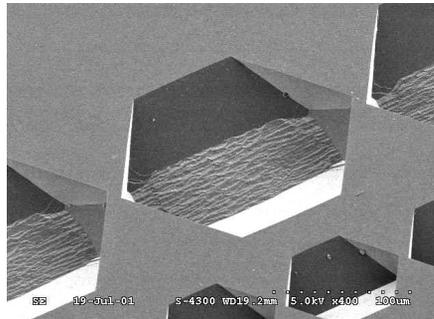


圖 3.14

$\langle 110 \rangle$ 矽晶圓上所蝕刻出之垂直壁長通道。注意遮罩所需對準之方向。



$\langle 110 \rangle$ 矽晶圓非等向蝕刻結構上視圖



$\langle 110 \rangle$ 矽晶圓非等向蝕刻結構電子顯微鏡圖

圖 3.15 圓形之蝕刻窗於 $\langle 110 \rangle$ 晶圓上非等向性蝕刻所得之結構。由上視圖可得包圍此蝕刻窗之六角形，其中有四個面為 {111} 面，垂直於 {110} 晶圓平面。

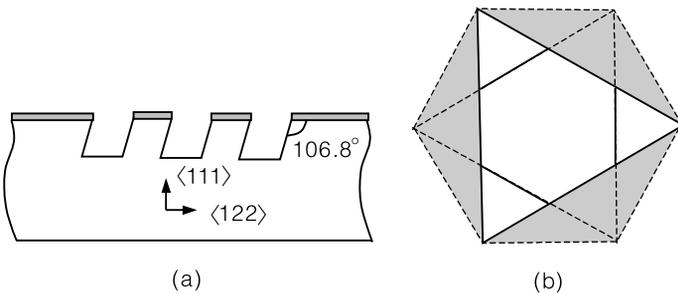


圖 3.16

$\langle 111 \rangle$ 晶圓之非等向性蝕刻。(a) 晶圓之截面圖，(b) 蝕刻結構上視圖，此結構由八個 {111} 所構成。

3.2.4.1 蝕刻液之選擇

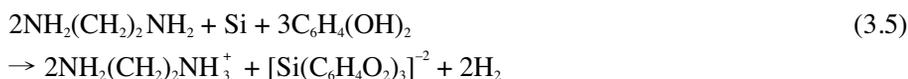
常用之體型微加工蝕刻液包含 EDP (ethylenediamine-pyrocatechol-water)、KOH (potassium hydroxide)，以及 TMAH (tetramethylammonium hydroxide)，以下將分別介紹。

(1) EDP

EDP 蝕刻液由三種成分組成，包含 ethylenediamine、pyrocatechol 以及水，其中水成分的多寡決定蝕刻速率。最高蝕刻率出現於水與 ethylenediamine 之莫耳數比為 2 時，蝕刻速率與矽之導電率大小無關。最早是由 Finne 及 Klein 改良 hydrazine-pyrocatechol 溶液而成⁽³⁹⁾。

Pyrocatechol 於此溶液中之角色亦被廣泛的研究過，當其添加量由最高之 3.7 莫耳分率降至 0 時，蝕刻速率可由 35 $\mu\text{m/h}$ 降至 18 $\mu\text{m/h}$ ，因此 pyrocatechol 於此蝕刻系統中並非必要之成分，其角色可能因控制氫氧根離子 (OH^-) 之多寡而影響蝕刻速率。

Finne 及 Klein 亦提出 EDP 蝕刻之化學機制⁽³⁹⁾。在此機制中，要注意的是水為必要之成分，此系統一旦缺乏水之成分，將完全無蝕刻之效果。



EDP 因具有毒性，因此至今已較少使用，許多其他研究可參考相關文獻^(9,39,40)。

(2) KOH

KOH 水溶液系統為最常用之非等向性蝕刻液之一。在接近飽和之水溶液中 (與水 1:1 混合重量比)，以 80 $^\circ\text{C}$ 蝕刻單晶矽時，可獲得均勻且明亮之表面。當蝕刻溫度高於 80 $^\circ\text{C}$ 時，非均勻度開始增加。加入異丙醇 (isopropyl alcohol, IPA) 之 KOH 水溶液亦為常用之蝕刻液，在 J. B. Price 的論文中有詳細之討論⁽⁴¹⁾。一般工業製造上所常使用之蝕刻液比例為 40% 之 KOH，加上足夠之異丙醇至飽和溶液。無論是否有異丙醇加入，KOH 之蝕刻速率與蝕刻溫度及濃度有相當大之關係。在 KOH 水溶液中，最大之蝕刻速率發生在 10–15 wt%，如於 IPA 之飽和溶液中則為 30 wt%。KOH 所造成之晶格面選擇比較 EDP (約 20–30 間) 大許多。例如 50 wt% 之 KOH 水溶液在 85 $^\circ\text{C}$ 的蝕刻條件下可造成 (100) 面與 (111) 面之蝕刻速度比為 200:1⁽⁴²⁾，甚至可更大。但因 KOH 對鋁之強烈侵蝕性以及對氧化矽之高蝕刻率，因此不容易相容於積體電路製程。

(3) TMAH

相較於前兩種蝕刻液，雖然 TMAH 的蝕刻速率及晶格面選擇比較低，但對於積體電路卻有較好之相容性，因此也成為非等向性蝕刻中常用之蝕刻液。因 TMAH 之沸點為 130 $^\circ\text{C}$ ，因此於常用之蝕刻溫度 (70–90 $^\circ\text{C}$) 下，其組成及蝕刻速度較為穩定。在 10% 的水溶液中，(100)/(111) 面之蝕刻速率比可達 12.5。最快之蝕刻速度出現於 90 $^\circ\text{C}$ 的 20 wt% 水溶

液時，可達 $0.68 \mu\text{m}/\text{min}$ 。濃度較低的 TMAH 溶液 ($< 15 \text{ wt}\%$) 容易於蝕刻表面出現凸丘 (hill-lock) 的現象，但此現象在使用 $20 \text{ wt}\%$ 以上之溶液時可獲改善。雖然 TMAH 對氧化矽或氮化矽之蝕刻速率較低，但高 pH 值之 TMAH 水溶液仍會對鋁造成蝕刻作用。因此如要使用 TMAH 並與積體電路製程相容，利用加入氧化矽或溶解一定量之矽於溶液中以降低 pH 值，為保護積體電路上鋁線之常用蝕刻方法。

3.2.4.2 遮罩材料之選擇

非等向性蝕刻液往往有相當良好之材料選擇性，也就是可以使用不同之材料作為蝕刻遮罩。氧化矽 (silicon dioxide)、氮化矽 (silicon nitride)、鉻 (chromium)、金 (gold) 等為常用之蝕刻遮罩材料。EDP 不蝕刻金、鉻、銀或鈹 (tantalum) 等材料，且對於氧化矽及氮化矽等材料蝕刻速率甚低，因此以上材料皆適合成為 EDP 之蝕刻遮罩。但要注意的是，EDP 會蝕刻鋁 (aluminum)，因此與積體電路相結合之微結構製造並不適合使用 EDP。對於 KOH 而言，幾乎很少材料可以成為其蝕刻遮罩，其對氧化矽之蝕刻速率亦相當快，所以低壓沉積之氮化矽 (LPCVD Si_3N_4) 或低應力氮化矽 (low stress silicon nitride) 為少數可以作為蝕刻遮罩之材料。TMAH 對於氧化矽及氮化矽有相當高之選擇比，而且如果使用適當之配方，還可以對鋁有不錯之選擇比。且因其不含金屬離子，因此相容於積體電路製程。CsOH 對於 (110) 之矽平面與氧化矽間有超過五千以上之選擇比，且對於鈹有相當低的蝕刻率，因此氧化矽及鈹為 CsOH 良好之蝕刻遮罩。正確選擇蝕刻遮罩為完成良好之體型微加工結構非常關鍵之因素，因此不可不慎。

3.2.5 角落補償技術

在非等向性蝕刻中，凸角之結構往往遭到蝕刻液之底切而破壞，因此如何保護凸角以造成突起之完整結構，為許多角落補償技術所要研究的。角落補償技術 (corner compensation technology)⁽³⁸⁾ 之原理為延伸角落之結構成為犧牲結構，延遲對角落之蝕刻動作，以達保護角落結構之目的。以 KOH 為例，在 $40 \text{ wt}\%$ 水溶液之情況下，對 (110) 面之蝕刻速度較 (100) 面為快。因此當所設計之角落補償圖形與 (110) 面平行時，底切所造成之面為 (100) 面，如圖 3.17(a) 所示。當蝕刻進行至接近原圖形之角落時，會將角落部分沿 45° 方向截角，如圖所示。因此若要造成完整之尖角，角落補償之長方圖形必須向 (100) 方向延伸，如圖 3.17(b) 所示。如此經過蝕刻過程才能獲得對稱之蝕刻前緣 (沿 45° 方向)，最終保持完整之尖角結構。蝕刻所形成之高台 (mesa) 結構如圖 3.17(c) 所示。

但對部分 EDP 蝕刻液而言，與 KOH 不同的是，(100) 面之蝕刻速度較 (110) 面為快 (對某些特別成分而言)。因此圖 3.17 角落補償部分對其來說，所會形成之蝕刻面為 (110) 面，因此所需之補償結構為圖 3.18 所示，在角落部分有平行 (110) 方向之小正方形結構。經由正確之角落補償圖形，不論是 KOH 或是 EDP 皆可獲得完整矽高台結構。

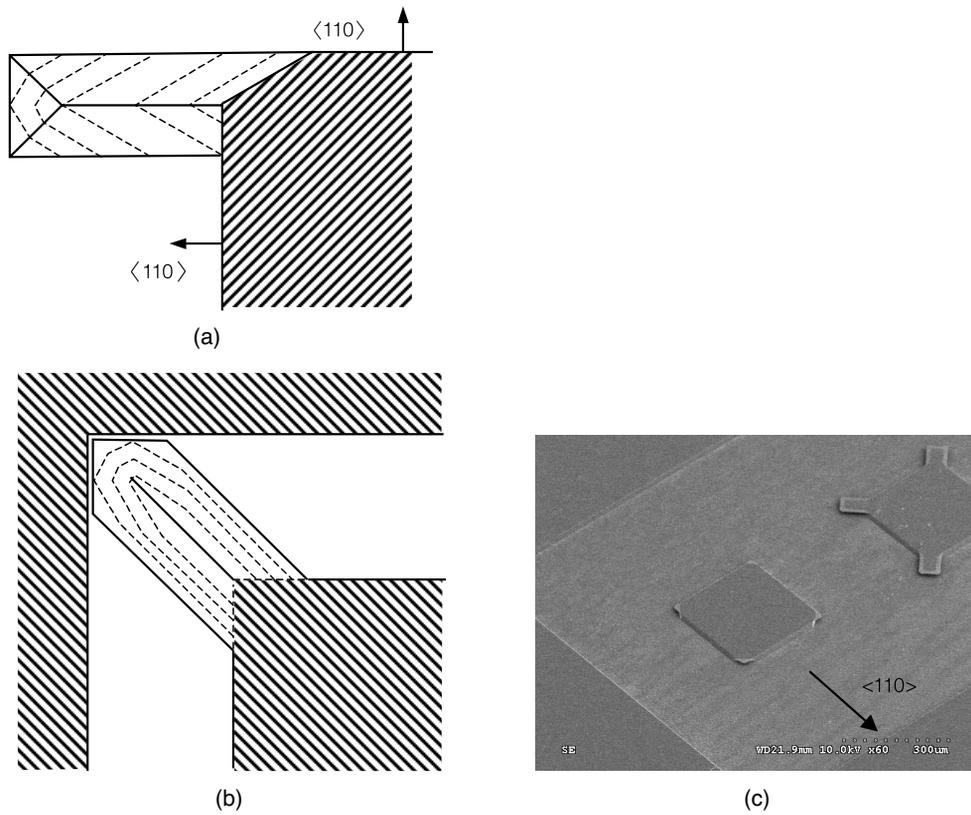


圖 3.17 KOH 非等向蝕刻角落補償方式。(a) 沿 $\langle 110 \rangle$ 方向角落補償結構，(b) 沿 $\langle 100 \rangle$ 方向角落補償結構，(c) 角落補償之蝕刻結果。

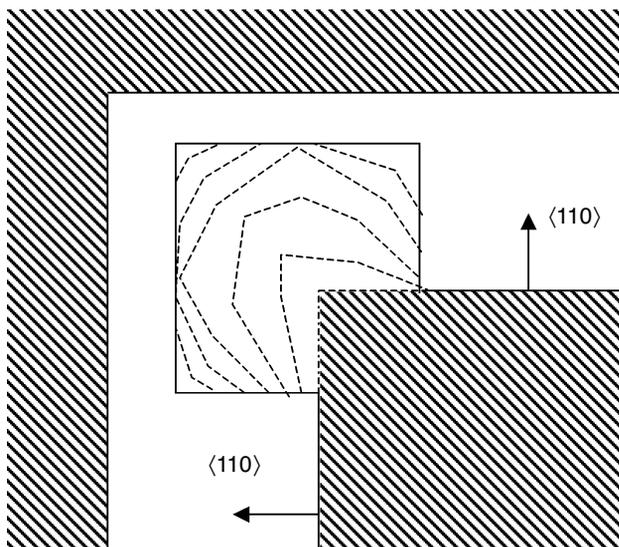


圖 3.18
EDP 非等向蝕刻所使用之角落補償結構：四邊沿 $\langle 110 \rangle$ 方向之正方形角落補償結構。

至於角落補償圖形之長度及寬度，必須大於所需蝕刻深度之兩倍以上，否則在到達蝕刻深度之前，尖角部分已被底切而截角。為使晶圓空間能充分運用，角落補償圖形可使用橫向摺疊或延伸方式設計，以減少對面積之佔用。

對於平行於 $\langle 100 \rangle$ 方向之長方形結構，KOH 蝕刻所造成之側面為 $\langle 100 \rangle$ 系列之垂直面，因其餘 $\langle 100 \rangle$ 方向之蝕刻速度較 $\langle 110 \rangle$ 方向為慢，如圖 3.19(a)、(b) 所示。相對的，EDP 蝕刻所得之側面與底面之夾角為 135° ，因其對 $\langle 110 \rangle$ 面蝕刻較 $\langle 100 \rangle$ 面慢，如圖 3.19(c)、(d) 所示。此兩種蝕刻方式，可分別製造垂直底面以及夾角為 45° 之鏡面，為微光學系統所使用。

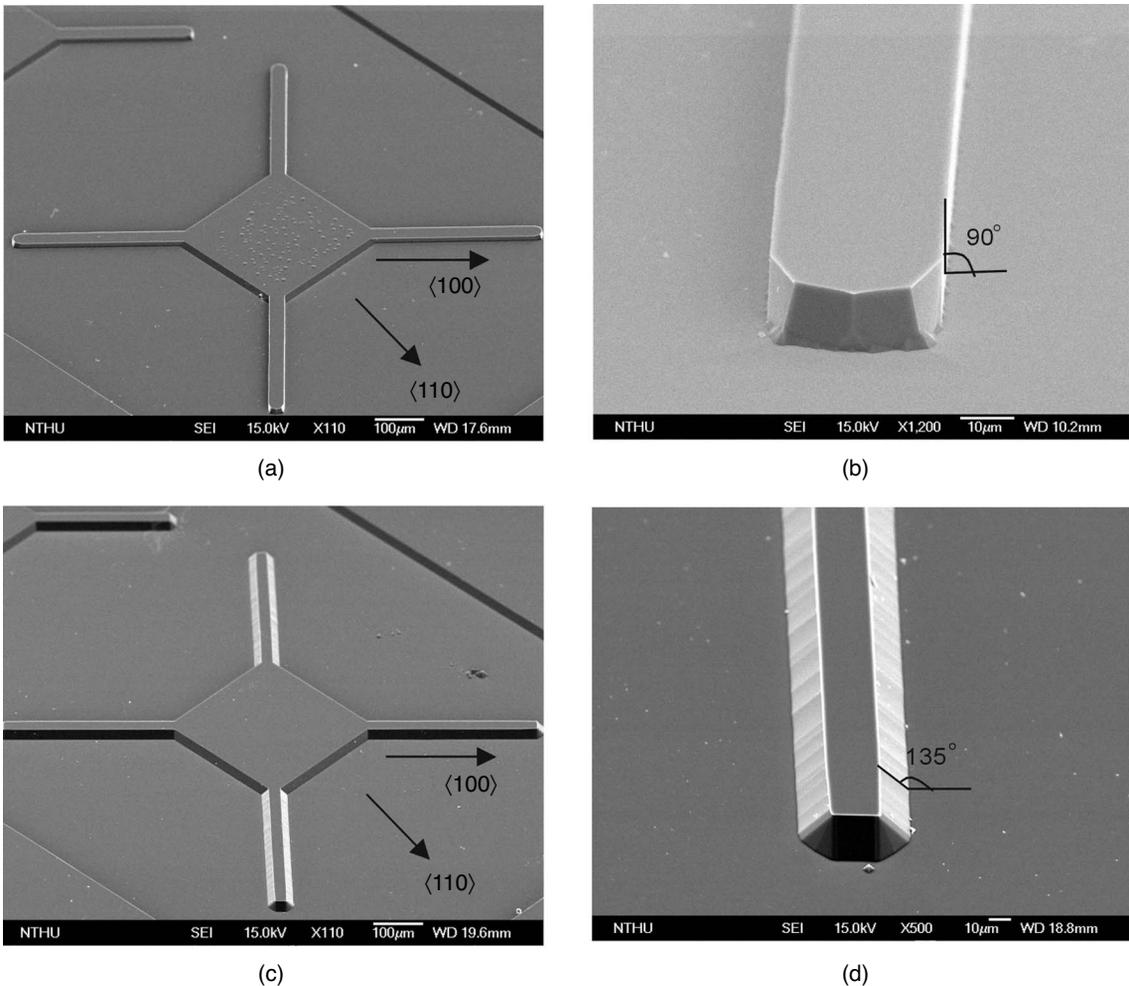


圖 3.19 KOH 及 EDP 非等向蝕刻於沿 $\langle 100 \rangle$ 方向之長方形結構側邊所造成不同之底邊夾角。(a) KOH 蝕刻之結構全貌；(b) 一側邊之放大，側邊與底邊夾角 90° ；(c) EDP 蝕刻之結構全貌；(d) 一側邊之放大，側邊與底邊夾角為 135° 。

3.2.6 蝕刻終止技術

在濕式體型微加工中，除了可以使用不同晶格方向之蝕刻速度差異外，使用時間來定義蝕刻深度或範圍亦為常使用之方法，但所能造成之精度並不佳，且控制方式較麻煩。幸好單晶矽之蝕刻速度除靠晶格方向決定外，其所摻雜之外來原子亦為重要控制參數之一。如能巧妙的同時控制晶格之蝕刻方向及摻雜濃度，許多微結構，如薄膜、薄板之厚度將可較精確的控制。以下將介紹兩種與摻雜相關之蝕刻終止技術 (etch-stop technology)⁽⁴³⁾：一為使用高濃度之硼原子摻雜，另一為使用電化學方式選擇蝕刻終止於不同之摻雜層界面。

(1) 高硼原子濃度 (High Boron Concentration)

在文獻 44 中曾發現，矽的蝕刻速度與所摻雜之硼原子濃度有相當密切之關係，如圖 3.20 所示。當硼原子的濃度高到接近 $2.5 \times 10^{19} \text{ cm}^{-3}$ 時，蝕刻速度隨硼原子濃度增加而快速下降，且下降幅度約與濃度四次方成反比⁽³⁹⁾。此一與濃度相關之蝕刻控制可非常有效的運用於蝕刻終止之控制。例如如圖 3.21 所示，當使用 IC 製程中常用之 p^+ 作為蝕刻終止之界線時，因其硼離子濃度高於 10^{20} cm^{-3} 以上，所以在 EDP 中之蝕刻速度由圖 3.20 可知，較低摻雜濃度之單晶矽慢 100 倍以上。因此當蝕刻液碰到此層時，蝕刻速度趨緩而如暫停之狀態，因此可利用摻雜之深度精確控制薄膜厚度。但薄膜因摻雜相當多之外來原子，其所造成之殘餘壓應力往往於薄膜釋放時造成薄膜隆起現象，為製造微結構時所要注意的。

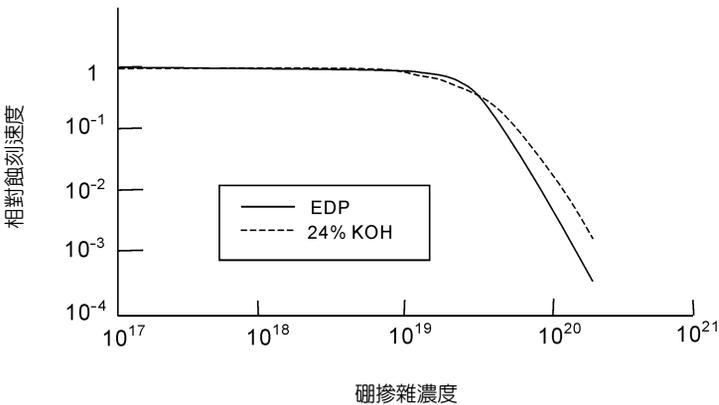


圖 3.20

KOH 及 EDP 於矽晶圓上之蝕刻速度對所摻雜硼原子濃度的關係⁽⁴⁴⁾。

(2) 電化學輔助之蝕刻終止 (Electrochemically Controlled Etch Stop)

在某些微裝置之製造上，例如壓阻式之感測器，是無法在高摻雜濃度之單晶矽上製造的，因此前面所述之蝕刻終止技術並不適用。取而代之的便為電化學輔助之蝕刻終止方式。這種方式所需之摻雜濃度較前者低許多（約於 10^5 cm^{-3} ），但必須要有 pn 接面形成二極

體才可使用，早期有相當多之相關研究^(6,9,10,12)。其原理如圖 3.22 所示。 pn 交接面之形成方式，可在 p 型之矽晶圓上用磊晶方法成長一層 n 型之矽單晶，然後將此晶圓與一不與蝕刻液反應之金屬相接。晶圓之 n 型矽單晶層則透過此電極連接至正極，因此 p 型單晶矽層所在之區域便成為負極，造成這個大型的二極體承受逆向偏壓，而 pn 接面之間產生一約 0.7 V 以上之壓降。當 p 側之負電位低於 Flade 電位時，蝕刻便有效的開始。蝕刻一直進行到 p 側被蝕刻完畢而蝕刻液接觸 n 側時，此時因 pn 接面被破壞，表面之電位升高至正電位，亦為氧化電位，因此表面開始形成氧化層而停止蝕刻。因此結構之厚度可依 n 層之厚度決定，並不需要高濃度之摻雜。所使用之蝕刻液可為 KOH、EDP 或 TMAH。

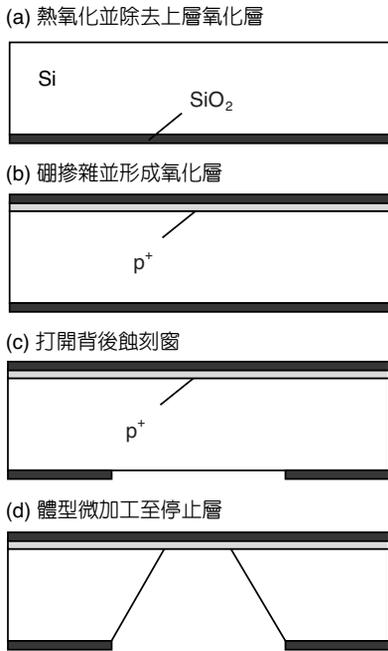


圖 3.21 使用高濃度之 p^+ 層形成非等向性蝕刻終止層。

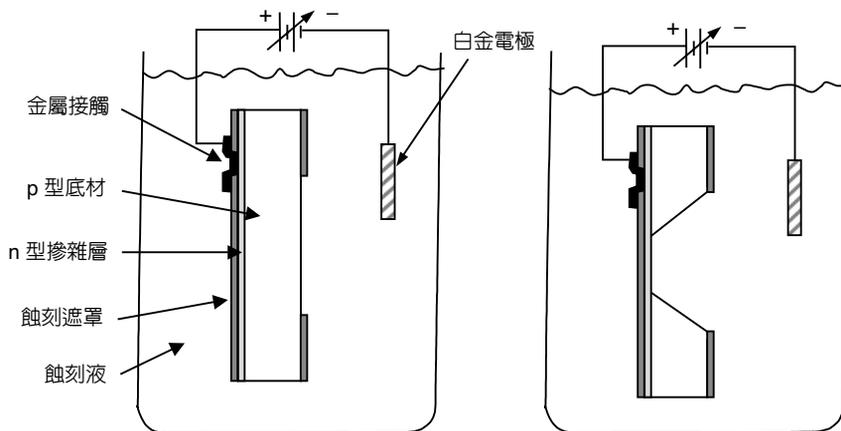


圖 3.22 電化學蝕刻終止技術原理示意圖。

3.2.7 體型微加工範例

使用濕式體型微加工技術，在常用的 $\langle 100 \rangle$ 矽晶圓上，可形成之微結構如圖 3.23 所示，其中包含空室、長溝、薄膜、噴嘴、懸臂樑、橋、高台等各式可能之結構。所應用之範圍極廣，包含壓力計、加速度計、陀螺儀、觸覺感測器、麥克風等微感測器；噴墨頭、微幫浦、微閥等致動器；以及微流通道、微井、微混合器、微分離器等微流體裝置，因此為一價廉且實用價值相當高之微加工技術。

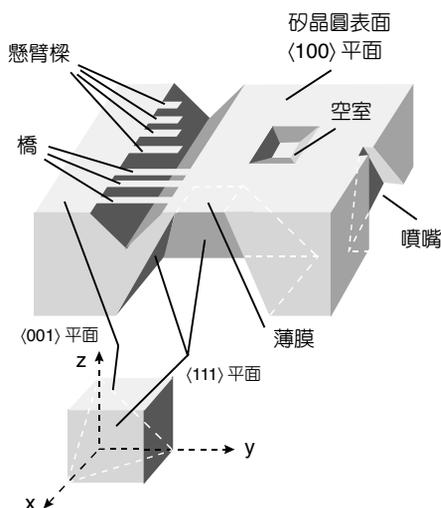


圖 3.23

$\langle 100 \rangle$ 矽晶圓於非等向性濕蝕刻中，所能形成之各種微結構示意圖。

3.3 面型微加工技術

微機電系統工程 (micro-electro-mechanical systems, MEMS) 的製造技術，一般而言，簡稱為微加工技術，可分為體型微加工技術 (bulk micromachining) 及面型微加工技術 (surface micromachining)。這兩類微製造技術之最大差異在於面型微加工技術是在晶圓上製造微加工結構，其技術的概念源自於成熟的積體電路製程，利用鍍膜、黃光、蝕刻等半導體加工技術產生結構層 (structural layer) 及犧牲層 (sacrificial layer)，再利用蝕刻技術將犧牲層去除，即可將結構自由化，至此面型微加工結構完成。

3.3.1 歷史

以矽晶圓為基材的微加工技術最早可回溯至西元 1960 年代，當時發展已近十年的積體電路製造技術為微機電加工技術奠定基礎，在製造技術上利用濕蝕刻為主的技術來去除不要的材料。在 1960 至 1970 年代間，以矽晶圓為基材的微加工技術，在蝕刻技術上，都集

中在非等向性之單晶矽濕蝕刻，後來這個技術被應用於一些結構簡潔的微感測器，例如壓力感測器。薄膜的機械性質因早期積體電路系統不考慮任何負重承載而一直被忽略，直到 1980 年代，隨著積體電路的快速發展和微機電系統的到來，薄膜沉積技術跟著提升，對薄膜的微觀機械特性也有更多瞭解，面型微加工技術因此有著更佳的發展基礎。

面型微加工技術主要是以犧牲層選擇式蝕刻的方式來建構懸浮式 (suspended) 的薄膜機械結構。這一個概念在 1967 年由美國西屋公司研究實驗室的 Nathanson 等人所提出，他們利用金屬膜構成的懸臂樑來做為場效電晶體的共振閘 (resonant gate)。這種利用犧牲層來構成薄膜微結構的方法，就是後來大家所熟知的面型微加工技術的起源之一。於 1970 年代，Newcomb 和他在史丹福大學的研究團隊展示他們所開發用以製造微型馬達的磁驅動微型馬達製程。於 1980 年代的後期，美國加州大學柏克萊分校的研究人員首度利用以二氧化矽為犧牲層的多晶矽表面微加工技術，製作了微機械靜電式馬達，雖說該微機械靜電式馬達到了十餘年後今天仍未被廣泛應用，但已為微機電系統工程領域開啟了一扇大門。不同於共振閘電晶體的金屬微機電結構，多晶矽的面型微加工技術很快地被認定為較有希望應用到工業界產品開發的技術。

在近二十年來，積體電路工業進步十分快速，並且為面型微加工技術提供了成熟的產業結構。矽基材微機電系統的研究團體也在 1980 年代末期，於美國、日本與歐洲開始舉辦國際所認可的研討會，並將研討會內容擴展到其他基材的微機電系統。接續而來的矽基材微機電系統的商業化，例如壓力感測器，證實了感測器的市場需求能夠利用微機械的結構來填補。到了 1990 年代初期，隨著歐美政府投注大量的研究經費，進一步促成微機電系統工程相關技術的創新與微機電應用市場的開拓，並且促進面型微機電系統應用的多元化與系統整合。回顧歷史的軌跡，面型微機電系統的多元化應用，包括慣性感測裝置、微流系統、光學驅動器、化學感測裝置、射頻元件及生物醫學裝置等；系統整合是利用面型微加工技術與積體電路製程的整合，將感測器、致動器與控制電路等單晶片化。在 1990 年代初期，面型微加工技術已經演變為以加速度感測器為產品的商業化技術。

3.3.2 製程

面型微加工技術大體上是模仿積體電路的平面製造技術 (planar process)，而發展的微機電製造技術，主要的變化在於將犧牲層材料這個概念移植入積體電路的製程，是一種批量製造的技術，在次微米或微米的尺度裡，所製造的元件其可靠度與精確度都可達到或接近積體電路的水準。其製作流程如同積體電路，最大的差異在於薄膜特性的需求，兩種製造技術對機械材料與電性特徵的項目及條件要求大不相同。有些狀況下，必須使用針對微機電產品製作所開發的專用機台設備，因為積體電路沒有使用該種製作設備或製程要求不同，例如同樣是用於製作高深寬比結構的矽材料深蝕刻技術，在積體電路裡，其蝕刻深度僅需數百奈米到數微米，微機電元件的要求通常為數微米到數百微米。此外，微結構體的

釋放 (released) 與自由化 (freed) 也是積體電路所沒有的製程，但對微機電產品而言是絕對必要的，因此對不同犧牲層材料的使用與其移除方式，已發展出適當的解決之道，相關的量產機台設備亦已被大量使用，在良率、產能與成本的部分，仍處於創新、發展與改進的過程。(註：犧牲層材料意即在製作過程中，暫時存在的材料，該材料移除後，微結構體便獲得自由移動的空間。犧牲層材料將於後面的章節中說明)。

面型微加工技術利用一層層材料的建構與堆疊，來完成兩度半空間、具固定厚度的結構，達成近似三維空間的結構。面型微加工技術僅能堆疊一層一層的二維而非真實的三維結構。在設計上，微機電設計人員如同積體電路的設計人員，可將每層結構中要選擇移除的部分製作於相對應光罩上，設計人員利用設計軟體將微結構體的幾何空間轉換成一層層的平面圖案，再藉由雷射光或電子束等方法將平面圖案製作在光罩上，由此便可將一層層的平面圖案輸出成相對應且順序正確的光罩組。製造工程師利用光罩來定義每層薄膜材料的幾何形狀，將光罩的圖案顯影在塗佈於薄膜上的光阻，利用圖形顯影後的光阻為後續製程的幾何圖形定義材料，可利用化學反應或物理方法來移除暴露的材料，或將摻雜物 (dopant) 滲入材料中，藉此改變材料的性質，亦可藉由除去光阻來移除鍍於光阻表面上不要的薄膜。

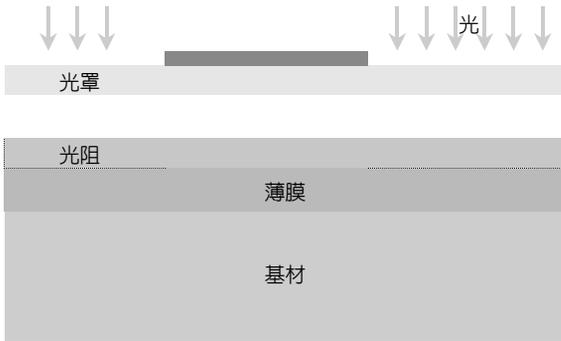
在製作上，如圖 3.24 所示，首先使用沉積、濺鍍等技術將薄膜材料生成於晶圓表面，再利用顯影技術將結構體的平面圖案經由光罩顯影在感光膜上，接著將不要的材料藉由蝕刻等化學反應移除，如此即完成一層材料的建構。重複相同製作程序，便可依據設計圖案建構一層層的薄膜，並將之堆疊在一起。關於鍍膜、顯影、蝕刻等技術的相關知識，請參閱半導體製造技術的書籍。在微機械結構製作完成後，微結構體的釋放與自由空間的取得係藉由將犧牲層分解與移除來達成，如圖 3.25 所示。在犧牲層移除後，可選擇將單分子膜鍍於微結構體的表面，降低微結構體的表面能，減少使用中結構黏滯發生的機率。

在面型微加工技術的應用上，有時必須要將二點五度空間的微結構加以組裝成為近似三度立體空間的微結構，特別是光學微機電系統，有時會有這方面的需求，用以將部分結構體抬高，取得更大的旋轉、移動空間，或是將鏡面豎直於晶片上，用以建構單晶片式的微光學系統。例如：利用鉸鏈 (hinge) 所提供的旋轉自由度，藉由外在力量，可將微鏡面組裝為翻轉至離開晶面表面的位置，或可利用鉸鏈將驅動器輸出的水平移動轉換成旋轉模式。微結構的組裝是在移除薄膜結構材料的底部犧牲層後，利用外在力量 (或說外在能量) 將面型微加工技術所製作的平面式微結構翻轉出晶片表面，建構為三度空間的微結構。微組裝常用的驅動力包含下列幾種：雙層材料間的熱應變 (如黃金與多晶矽)、材料的熱形變 (如錫球或多分子材料)、外加電磁場 (如靜電場或靜磁場)、系統晶片上的驅動器 (如熱驅動器或靜電式驅動器) 等。一般而言，微組裝適用於不需要高精度之自由度的系統。在高精密度的系統中，若微組裝是必要的，設計人員通常會將驅動器的運動自由度作為微組裝所使用之自由度的系統。如此組裝的誤差便可藉由驅動器來彌補；另一方法是調整系統上與微機構搭配元件的位置及角度來補償微機構精度上的誤差。

(a) 鍍膜



(b) 顯影



(c) 蝕刻

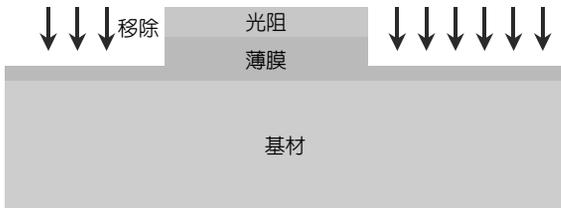
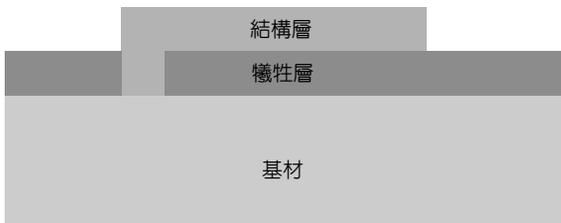


圖 3.24 薄膜材料的平面定義與建構。

(a)



(b)



圖 3.25 微結構體的釋放，(a) 犧牲層移除前，(b) 犧牲層移除後。

面型微加工技術基本上可以結構層材料來作區分，一般可分為矽與矽之化合物（氮、氧、碳等）、金屬薄膜、介電材料等，大多為積體電路使用的半導體材料。在製程上，結構層材料一定要與犧牲層材料在物性、極化性上有良好的搭配，詳見 3.3.3 節「微機電材料」。另外，亦將在後續的 3.3.4 節「面型微加工製程實例」中，藉由德州儀器 (Texas Instruments, Inc.) 的鋁面型微加工技術與美國加州大學柏克萊分校 (University of California, Berkeley) 發展的多晶矽的面型微加工技術，來闡述上述製程中的面型微加工技術，這是兩個利用面型微加工技術製造微機電產品相當成功的實例。

此外，在面型微加工技術的基礎上，已發展出延伸性的製程與整合型製程，這部分牽連甚廣，在此僅將作重點描述，若讀者有需要，請參閱相關論文及專利。在延伸性製程上，例如 HEXSIL 製程是在多晶矽面型微加工技術上所發展的一種具有模具概念及高深寬比結構的技術，其主要目的是想利用低壓化學氣相沉積法 (LPCVD) 的良好覆蓋性 (conformity) 來製作高深寬比的微結構，這是面型微加工技術所無法製作的，通常要靠有深蝕刻能力的體型微加工技術來完成。HEXSIL 製程首先在矽晶圓上，利用高深寬比的乾蝕刻技術製作微結構的模具，將低壓化學氣相沉積法的二氧化矽生成於深蝕刻溝槽 (deep trench) 的表面，再沿著二氧化矽的表面沉積多晶矽結構層，並將晶圓上的深溝槽填滿，然後在多晶矽結構層製作出設計的形狀，最後移除犧牲層二氧化矽，讓多晶矽微結構脫離模具晶圓，成為個別的元件，移除底部犧牲層後的晶圓模具能夠再次使用。

面型微加工技術與其他類製程的整合亦已發展出相當多種，像是將面型微加工技術整合入積體電路製程中，將既有積體電路製程修改成具有微機電製作能力、或與體型微加工製程整合等。採用微機電與微電子的全面整合或是採用雙晶片的方式，這兩者的優缺點長久以來一直被討論著。其中損益比較包括藉著減小雜散電容所帶來的元件性能提升，將面臨到尖端且複雜的技術，另一方面，雙晶片的成本仍偏高。這些基本的問題可歸納成兩點：訊雜比的要求與製造的成本。專家面臨微機電整合最主要的抉擇是，應該以何種順序與方法來整合微電子與微機電製程的步驟。有三個觀點將會被說明，包括：(1) 積體電路完成後的 CMOS 後製程、(2) CMOS／微結構交錯的製程、(3) CMOS 前製程。這些都是單一化的製程架構。

發展與積體電路整合的面型微加工製程技術的研究單位與公司為數不少，例如德州儀器的數位微鏡面元件 (digital micromirror device, DMD) 是將鋁的面型微加工技術製作於積體電路之上、Analog Devices 公司的加速度計 (accelerometer) 是將多晶矽的面型微加工技術整合在積體電路的製程步驟中間、英飛揚 (Infineon) 的壓力感測器 (pressure sensor) 將其現有的雙載子互補式金氧半導體製程 (BiCMOS) 技術作些許的修改、加州大學柏克萊分校曾經將積體電路製程中所使用的鋁導線改為鎢導線，以利將高溫的多晶矽面型微加工技術製作於積體電路之上。上述例子說明了面型微加工技術與積體電路的整合技術，可能只有跨國大企業才有足夠的財力去開發相關的技術。

3.3.3 微機電材料

一般而言，微機電系統的面型微加工技術所使用的材料依用途可分為五種，分別為結構層 (structural layer)、犧牲層 (sacrificial layer)、絕緣層 (isolation layer)、導電層 (conductive layer) 與應用層 (application layer)。

結構層主要是用於支援系統的機械結構設計，包括靜動態系統響應、機械強度、機械結構可靠度等，除此之外，結構層有時亦提供電子訊號傳遞所需的通路。

犧牲層，顧名思義，乃是在結構體製造完成後被移除的材料，待犧牲層材料清除後，結構體便能在空間中自由移動。

導電層在材質選擇上一般有金屬層與導體層兩種可用，主要是用於傳遞電子訊號。依據所需的頻寬 (bandwidth)，設計者可使用不同的材料，通常會將結構層與導電層結合而使用同一種材料，以簡化製程，例如：金 (金屬) 用於射頻交換器、矽 (半導體) 用於光學掃描用驅動器、矽表面鍍鋁減低電阻值等。

絕緣層的用途是將不同電子訊號所行經的通路加以隔離，如同用於積體電路中一般，將不同導電層分隔，或將不同用途的電訊通路 (如驅動電子訊號、感應電子訊號、電子接地) 加以隔絕。

應用層乃是依據個別產品的需求而增加的材料，例如：金 (gold) 常被濺鍍於結構體之上，用於增加結構的光學反射率；多分子材料 hydrogel (如 polyacrylamide 及 agarose) 在一些 DNA 感應晶片上提供水與離子等小分子移動的空間，同時也成為蛋白質、核苷酸等多分子的黏著基材。

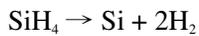
結構層材料與犧牲層材料必須在機械強度、化學蝕刻、表面黏著、應力分布及電子性質等特性上相互配合，以符合設計需求與製程良率最佳化。一般而言，任何一組的結構層與犧牲層材料的組成，需經過數年至十餘載的製程精進改良，才可盡全功，例如：多晶矽面型微加工技術 (polysilicon surface micromachining) 從加州大學柏克萊分校的研究學者 R. Howe 和 R. S. Muller 提出到應用於商業用微慣性儀上耗費了近十年的時光。雖說微機電產品大多屬於應用導向的設計，產品的特性有部分取決於產品製程的設計與材料的選擇，但設計研發人員應儘量使用成熟的微機電製程，減少不必要的製程變異，以利縮短產品的研發時程與提升產品的品質。

(1) 結構層材料

結構層材料的選擇應以系統上機械結構的設計需求、製程上結構層材料與犧牲層材料間的界面特性和化學特性，以及製程上其他重要因素 (如溫度、應力、交互污染等) 為第一考量，結構層的電子特性倒為其次，不若積體電路一切以電子特性為產品上的第一考量。結構層材料包括高溫沉積的多晶矽、高溫沉積的氮化矽、低溫沉積的矽鍍化合物、低溫濺

鍍的鋁、低溫電鍍的金，以及其他種類等（註：此處的溫度高低是與積體電路的後段製程比較），製程溫度亦為選擇結構層材料的依據之一，對設計人員而言，材料的物理化學性質、機械可靠性、製程可重複性等相當重要。上述的薄膜材料，從晶粒的角度來看，絕大多數屬於多晶格態或無晶格態，在不同批次間，其機械性質在程度上會有些許或大量的差異，直接影響微結構的機械特性。要解決此問題，絕緣層上矽晶 (silicon on insulator, SOI) 材料是一個相當不錯的替代品，其上層矽薄膜有著非常可預期的材料特性，且其犧牲層二氧化矽亦已事先製作於晶圓上。

多晶矽面型微加工製程，顧名思義是採用多晶矽為該製程的結構層材料。多晶矽通常藉由低壓化學氣相沉積法來進行薄膜生成，其在無摻雜物狀況下的化學反應為



其中一組製程參數為沉積溫度 605 °C、爐管壓力 550 mTorr、矽烷 (silane) 流量 120 sccm，其沉積速率接近 10 nm/min。多晶矽為半導體材料，其導電率低，若要降低多晶矽的電阻值，需要在材料內滲入能提供電子或電洞的摻雜物，如硼原子 (boron) 或磷 (phosphorous)。一般來說有兩種方式可用，一種為在沉積過程中同時滲入摻雜物 (*in situ doping*)，另一種為先製作高純度多晶矽，然後在高溫下，將其他材料所儲存的摻雜物滲入多晶矽中。

(2) 犧牲層材料

犧牲層是指在製造過程中所暫時使用的隔間材料 (spacer)，待所有的加工程序完成後，即可加以移除，使微結構體成懸浮狀態 (*suspended*)，賦予微結構體活動的自由空間，而犧牲層材料便一去不復返，從此從原本的晶片消失。犧牲層材料在選擇上需與結構層材料有妥善的搭配，特別是微結構釋放時所使用的化學藥品，必須在這兩種材料的蝕刻速率上有高度的選擇比，方可避免在犧牲層蝕刻後發生微結構體在幾何尺寸上的改變。犧牲層材料與結構層材料界面的交互接合力在製程中扮演重要的角色，不佳的材料結合容易導致薄膜剝離的現象，降低產品良率，或者影響元件所能承受的最大負荷。此外，犧牲層材料的選擇也應注意在每一製程步驟的容許溫度上限，過高的製程溫度有時會改變晶片上既有材料的物理性質或化學特性，比如：高溫會使某些低溫鍍高分子膜中的氣泡脹大，致使晶圓上其他材料發生永久形變；高溫也有可能改變結構層材料的應力應變特性，在犧牲層移除後，會讓微結構體本身受到因製程熱循環 (*thermal cycle*) 殘餘應力的影響，產生結構形變。

多晶矽面型微加工製程所使用的犧牲層材料通常為二氧化矽或其衍生物，包含純二氧化矽 (*undoped SiO₂*)、磷矽玻璃 (*phosphosilicate glass, PSG*) 及硼磷矽玻璃 (*BPSG*) 等，大部分的製程使用磷矽玻璃。採用磷矽玻璃為犧牲層有著下列優點。比起純二氧化矽，2% 至 8% 濃度的磷矽玻璃 (*PSG*) 會增加在氫氟酸中的蝕刻速率達數十倍；同時可藉由材料高溫的

退火過程 (溫度介於 950 °C 與 1100 °C 之間)，將磷矽玻璃的磷原子滲入多晶矽中，增加多晶矽中的導電摻雜物—磷，以提高多晶矽的導電率。相對於多晶矽的高溫製程，金屬材料如鋁或黃金，通常使用低溫製程，採用高分子材料 (如光阻、聚亞醯胺 (polyimide)、BCB (benzocyclobutene)) 或電漿輔助化學氣相沉積 (PECVD) 的二氧化矽等為犧牲層材料。移除高分子材料，通常會使用氧離子的反應離子蝕刻 (reactive ion etching, RIE)，相對於液相蝕刻法，此種氣相蝕刻法的微結構釋放能降低黏著 (stiction) 的發生機率。

(3) 選擇性蝕刻

要製造有運動自由度的微結構體，就必須要將製程完成後晶片上的犧牲層加以移除，賦予微結構體能自由移動的能力，即是將微結構釋放 (released or freed)。要移除犧牲層材料，選擇性蝕刻即是用來扮演這個重要的角色。選擇性蝕刻是用化學反應的技術將犧牲層材料移除 (通常指反應物溶於液體中或反應物屬於氣體狀態)，這種化學反應所使用的化學物質與反應狀況對結構體的材質或其他材料必須只有微乎其微的化學反應或物理性侵害。

藉著選擇性蝕刻使微結構懸空，這經常會連帶產生附著的現象。微結構經過一連串清洗、乾燥的過程，因而附著在基板上。以多晶矽面型微加工技術為例，犧牲層材料一般選擇磷矽玻璃 (PSG)，其厚度通常介於 0.1 微米至數微米，在結構設計上，需蝕刻的長度一般為數十微米，有時候長達數百微米。所使用的化學藥品通常為 49% 氫氟酸 (hydrofluoric acid, HF)、稀釋氫氟酸 (diluted HF)、緩衝性氫氟酸 (buffered HF) 等。針對結構釋放這個問題已發展出許多的解決方案，最直接的方式為使用氫氟酸除去犧牲層二氧化矽 (SiO_2) 後，用去離子水 (de-ionized water) 置換前述的液體，再將前述之去離子水用異丙醇 (isopropyl alcohol, IPA) 置換，最後將沉於異丙醇的晶片置入 100 °C 以上的烤箱，待液體完全蒸發後即可取出。如果晶片上的結構面積相當大，附著黏滯的現象較易發生，因為矽原子與異丙醇之間的表面能雖比其與水分子間來得小，但仍然相當大。其他強化方法包含：氣態氫氟酸 (vapor HF)、水分子的昇華 (sublimation)、水分子的超臨界乾燥法 (supercritical drying)、自組裝分子單層膜 (self-assembled monolayer)。

3.3.4 面型微加工製程實例

面型微加工技術大多數利用沉積層材料以構成微機械結構，藉由移除在微機械結構之下的犧牲層，賦予微機械結構相當的運動自由度。在過去的二十年間，經過微機電先驅不斷的努力，面型微加工技術得以在產業持續地推出新的應用產品，從慣性感測器、光學驅動元件、射頻元件到生化感測器等，無所不括。其中多晶矽的面型微加工技術 (polysilicon surface micromachining) 與鋁的面型微加工技術 (aluminum surface micromachining) 到目前為止相關製造技術成熟度與商業化程度最高，格外受到重視。多晶矽的製程首先經由 Analog

Devices 的產品加速度計 (accelerometer) 成功量產而證明可行。

案例一：三層多晶矽結構膜面型微加工製程

三層多晶矽結構膜面型微加工製程最早由加州大學柏克萊分校的 R. S. Muller 教授等人提出，利用滲入磷的低壓化學沉積多晶矽為結構層材料，低壓化學沉積磷矽玻璃為犧牲層，三層結構層中，有一層為固定層，另外兩層可移動。1990 年代初期，美國 MCMC 公司獲得政府補助，從事此種面型加工技術的開發，推出一套微機電共用製程，稱為 MUMPs (multi-user MEMS processes)，主要目的是提供微機電產業、政府機關、研究機構或大專院校一個具有低成本、快速研究、概念驗證的共用面型微加工製程，讓設計人員在不需擁有製程能力的情況下，開發相關元件。此外，Analog Devices 亦使用兩層多晶矽結構膜面型微加工技術，製造該公司的加速度計。

以下將藉由加裝鉸鏈的微鏡面 (hinged micromirror) 為案例，介紹其中一種的多晶矽面型微加工技術：

1. 如圖 3.26(a) 所示，首先在晶片表面用標準的 POCl_3 當作摻雜源摻雜磷，之後再鋪上一層 600 nm 的低應力 LPCVD 的氮化矽當作電性的阻隔層，接著鋪上 500 nm 的多晶矽，此結構層命名為 POLY0，其相對應的光罩訂為 POLY0。之後再用光阻定義其形狀，並用 RIE 加以蝕刻。
2. 如圖 3.26(b) 所示，沉積第一層 2 μm PSG1 犧牲層，經過高溫 900 °C—1100 °C 約 30 分鐘至 1 小時的回火處理，將材料密度提高，在此犧牲層上，用光阻定義凸點 DIMPLE，再用 RIE 蝕刻 PSG1，接下來用光罩定義 ANCHOR1，作為連接 POLY1 與 POLY0 之用，接著再用 RIE 蝕刻 PSG1，提供給 POLY1 填滿用。
3. 如圖 3.26(c) 所示，沉積 2 μm 的第一層多晶矽結構層 POLY1，其上再鋪上一層 200 nm 的 PSG，之後再回火處理提高密度，接下來用光阻定義蝕刻 POLY1 結構的形狀，然後可用 RIE 去掉 PSG 層 (有時候可略過此 PSG 的蝕刻)。
4. 如圖 3.26(d) 所示，沉積第二層犧牲層 0.75 μm PSG2 後，先定義連接 POLY1 與 POLY2 間的上下層貫穿孔 (via)，再以 RIE 蝕刻貫穿 PSG2，停在 POLY1。如法製作連接 POLY2 與 POLY0 的 ANCHOR2，以 RIE 蝕刻貫穿 PSG2 與 PSG1。
5. 如圖 3.26(e) 所示，沉積 1.5 μm 之 POLY2 與 200 nm 之 PSG (作為蝕刻光罩與摻雜源)，一樣是用光阻與 RIE 定義蝕刻出 POLY2 結構的形狀。
6. 如圖 3.26(f) 所示，用剝離 (lift-off) 製程技術定義沉積約 0.5 μm 之金屬黃金。
7. 如圖 3.26(g) 所示，用氫氟酸 (HF) 移除所有的犧牲層 PSG，再用去離子水置換氫氟酸，而後可將去離子水加熱除去 (請參考 3.3.3 節中的「選擇性蝕刻」)。
8. 如圖 3.26(h) 所示，將釋放的微鏡面用組裝的方式翻懸出晶圓表面。

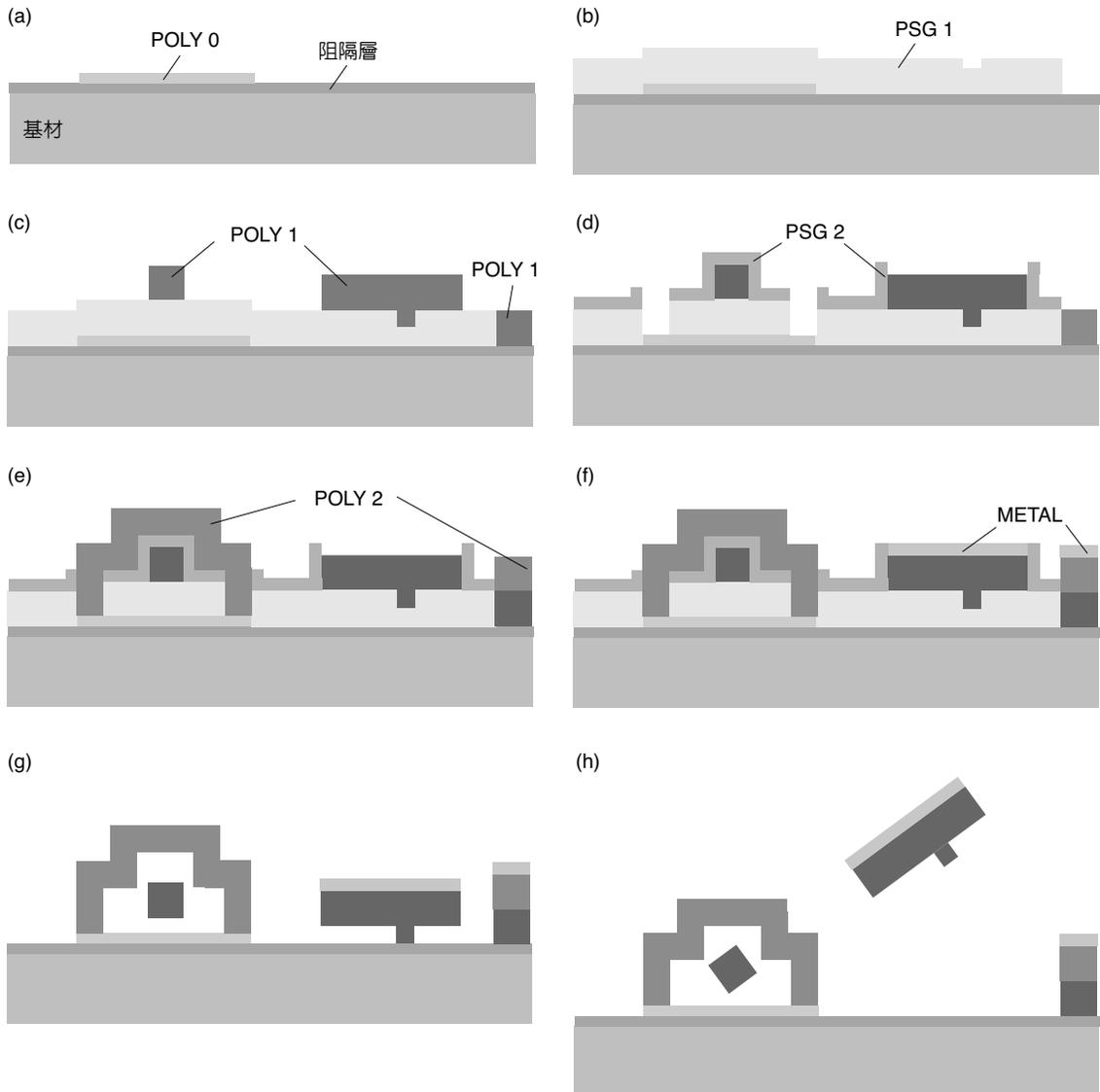


圖 3.26 多晶矽面型微加工技術製程流程圖。

案例二：鋁結構膜面型微加工製程

面型微加工技術的成功實例之一為德州儀器公司在 1987 年所發明的數位微鏡面元件 (DMD)，如圖 3.27 所示⁽⁴³⁾。DMD 是一種以半導體技術為基礎所開發的快速、精準、反射式數位光學開關模組，相當適合高亮度、高對比、高解析的應用，有著下列幾個優點：(1) 反射式光學系統，有較好的光學反射效率，(2) 有著相當高的覆蓋因子 (fill factor)，(3) 微機電系統製作於積體電路之上，與電子電路系統進行垂直整合。

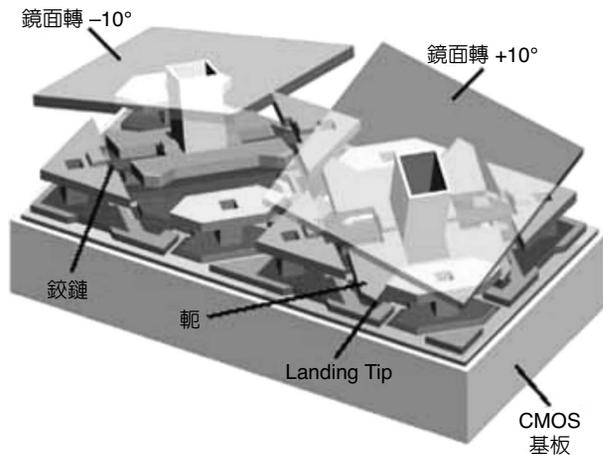


圖 3.27

德州儀器公司所發明的數位微鏡面元件 (DMD)⁽⁴⁸⁾。

DMD 微系統的製作使用微機電與積體電路整合的製程，每個光開關都使用 $16\ \mu\text{m}$ 見方的鋁板作為反射鏡面，在反射鏡底部配置驅動鏡面的控制電路單元，依照底部控制電路的記憶單元狀態可以達成兩個不同的反射方向。鏡面的旋轉可以藉由反射鏡面和底部記憶單元所驅動下電極間的電壓差來達成，可分別使反射鏡面旋轉 $+10$ 度或 -10 度，進而達到光學投影上全暗及全亮的狀態。

(1) DMD 結構

DMD 的微機電結構，如圖 3.28 所示⁽⁴⁹⁾，是建構在記憶體 (SRAM) 單元上，每個 DMD 上的反射鏡面可相對應地投射出影像上的一個畫素。每面反射鏡下皆有兩個獨立運作的電極，將偏壓加在兩個相對位置的電極板上可造成靜電式轉矩致動，靜電式轉矩和固定拴所提供的回復力互相制衡以達到不同方向的反射。因為幾何尺寸會限制旋轉的角度，並且回復力和靜電轉矩力會達到平衡態，旋轉的角度將可以精準的控制。

驅動電極分別在底部 SRAM 單元互相對應的上下層 (鏡面定址電極 (mirror address electrode) 與軛定址電極 (yoke address electrode))，軛形結構和鏡面分別連結到製作於第三金屬層上的偏壓匯流排 (bias bus)，再透過偏壓匯流排連結至晶片周圍的打線接腳。DMD 的鏡面為 $16\ \mu\text{m}$ 見方的鋁，可達到最大的反射率，並組合成具有高覆蓋因子 ($\sim 90\%$) 的矩陣。如此高的覆蓋因子提供了高度有效的光使用效率，並且也提供了沒有縫隙的高品質影像。

(2) DMD 製程

DMD 的製程是以記憶體的積體電路製程為基礎，在積體電路製程的第二金屬層上沉積一層厚氧化膜，並且使用化學機械研磨技術 (CMP) 使之表面平滑，以確保有均勻且高度的反射效率及良好的對比。該製程共有六道光罩，包含 ① 鋁定址電極 (aluminum address electrode) 層 (Metal-3)、② 鉸鏈 (hinge)、③ 軛 (yoke)、④ 鏡面層 (mirror layer) 及 ⑤⑥ 犧牲層 (用硬化後之光阻) (Spacer-1 and Spacer-2)，來製作疊層結構。首先以濺鍍的方式將鋁鍍

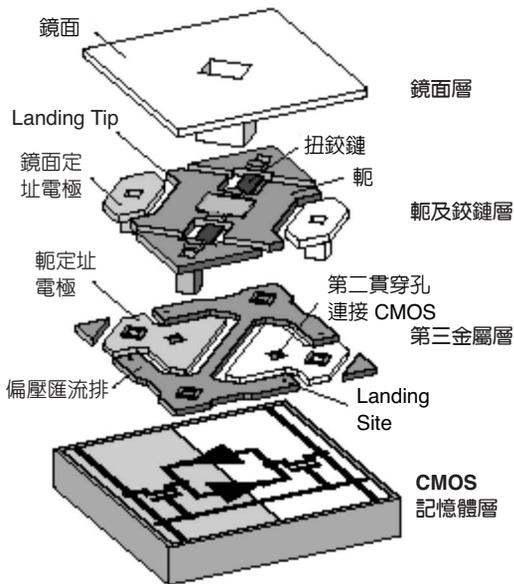


圖 3.28
DMD 微機電結構示意圖⁽⁴⁹⁾。

上表面，並且以氣相沉積的二氧化矽作為電漿蝕刻的防護層，在之後的封裝流程裡，將以電漿蝕刻掉犧牲層以做出提供鏡面轉動的空隙，利用這些空隙可以讓鏡面有空間依靠固定控做旋轉的動作。鏡面牢牢地連結在底部的軛形結構上，這些軛再依序連結到兩層薄膜扭轉控，以支撐接觸於下層基材的的連結柱。

DMD 晶片的製作約略描述如下。

1. 如圖 3.29(a)，微機電系統製程係接續在晶圓上的積體電路與定位單元 (CMOS address) 電路完成之後。CMOS 層是利用 DMOS-IV 製程，且包含有定址用的 SRAM 單元，而其中的 SRAM 是利用 twin-well CMOS、 $0.8\ \mu\text{m}$ 雙層金屬製程製作而成的。在基材上的介電層因其平整度的要求很高，所以加進化學機械研磨 (chemical-mechanical polishing, CMP) 製程技術以達到高平整度的需求。經過 CMP 之後，通道 VIA 2 也在此介電層被完成了。之後再濺鍍上一層鋁定址電極，利用微影定義，再用電漿蝕刻。接下來在電極上旋鍍上一層有機犧牲層，並用通道 (Spacer-1 VIA) 定義接下來將完成之支撐柱 (包含機械支撐與電性連結功用)。
2. 如圖 3.29(b) 所示，在 Spacer-1 的貫穿孔定義完成後，在犧牲層上濺鍍鉸鏈 (hinge) 用之金屬鋁，之後再沉積上一層氧化物，作為定義後續鉸鏈的蝕刻光罩 (hard mask)，用 RIE 蝕刻暴露的金屬，而後除去氧化物。
3. 如圖 3.29(c) 所示，在鉸鏈定義完成後，沉積上一層將來作為軛 (yoke) 的金屬層，之後再用電漿沉積一層氧化層作蝕刻光罩，用來定義其幾何形狀，目的是為了定義軛。
4. 如圖 3.29(d) 所示，在軛定義完成後，再利用電漿蝕刻金屬並去掉氧化層。如圖可以看出鉸鏈的支撐柱是由一層鉸鏈的金屬與一層軛的金屬組成的。

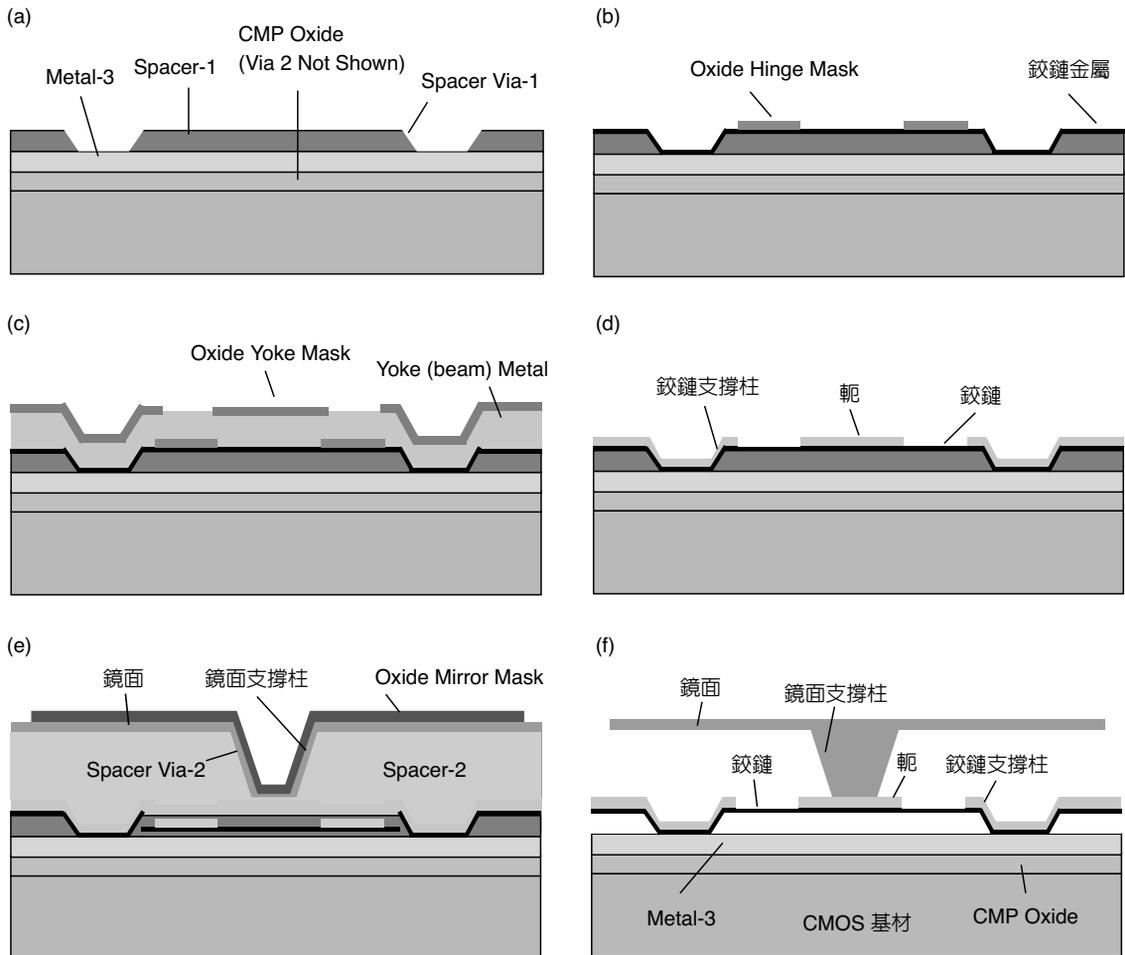


圖 3.29 DMD 晶片製作流程圖。

5. 如圖 3.29(e) 所示，如前面步驟所述，旋鍍上第二層的犧牲層，並用通道定義之後將完成的支撐柱，然後再鍍上一層高反射率的鋁製鏡面層，之後再鍍上一層氧化層並定義之。
6. 如圖 3.29(f) 所示，利用定義之氧化層定義出鏡面的形狀，最後再去掉所有的犧牲層，便完成 DMD 的結構。

封裝流程以劃線器對晶圓預割為開始，經過預割（為了使晶片之後可以輕易的分離）和晶圓的清洗後送入電漿蝕刻機，將鏡面、軛形結構及控的底部犧牲層蝕刻掉。依循這個過程中，必須沉積一層薄的潤滑層以避免軛形結構和底層發生吸附現象。在將晶片彼此分離之前，必須先經過高速自動晶圓測試機做完全的電性及光學量測，最後將晶片和晶圓分離，並經過再次的清潔後做密閉的封裝。

3.3.5 材料性質

應用在面型微加工技術的薄膜材料，都必須要符合許多化學、物性、機械、電子等材料條件；其細項包括：良好的表面黏著性質 (surface adhesion)、材料低孔率 (pinhole density)、好的機械性質、化學抗蝕性 (chemical resistance)、蝕刻選擇比 (etching selectivity)、材料應力、材料可靠度 (reliability)、材料壽命 (lifetime) 等。面型微加工技術所使用的大多數材料，都是由沉積法、生長法及濺鍍法等來形成，因此，材料很多的性質皆由其製造的過程來決定，包含鍍膜的基材、前處理、材料形成的環境因子、後處理等。一般而言，薄膜都會有異於大尺寸材料的材料性質，主要原因為晶粒尺寸與表面積對體積之比不同。

(1) 表面黏著性質

面型微加工技術使用相當多層的薄膜來製作微機械結構，不同薄膜層間的黏著力顯得相對重要，特別是微結構在操作上通常必須承受機械負荷、環境的化學侵襲、熱效應等因子，兩層薄膜間的相互黏著力就成為抗衡結構破壞的要素之一。兩層薄膜間的黏著力受到相當多的因素影響，例如：晶格大小、應力、界面 (interface) 雜質、原子鍵結、薄膜接觸面積、材料純度等，材料配合的選擇、材料界面的潔淨度 (cleanliness) 顯得相對重要。一般來說，應力相近、材料成分類似、純度高的兩種材料有較佳的黏著力，材料間若能相互滲透，鍵結能量會大幅提高。表面潔淨度是另一個製程上必須嚴格控制的參數，雜質存在於界面大多會降低異質材料間的鍵結強度，需加以注意。

(2) 多晶材料的殘餘應力

利用多晶矽做微機電材料會有一些問題，包括殘餘應力、因膜厚不同而造成的應力梯度，以及因多重結晶而造成的有效楊氏係數的改變，這些都會影響多晶矽微結構的機械性質。不同於單晶 (single crystalline) 矽的體型微加工製程技術，面型微加工製程技術所使用的薄膜結構材料大都使用化學沉積法 (chemical deposition)、蒸鍍法 (evaporation)、電鍍法 (electroplating) 或濺鍍法 (sputtering) 的多晶材料或非晶 (amorphous) 材料，例如：多晶 (poly-crystalline) 矽、磷矽玻璃 (phosphosilicate glass, PSG)、金 (gold)、氮化矽 (silicon nitride) 等材料。由於此類結構材料內部存在許多的晶界 (grain boundary)，所以外在因素造成晶格尺寸的改變、晶界彼此間的推擠效應，以及空孔缺陷的產生，便形成材料最顯著的機械性質—即「殘餘應力 (residual stress)」。而依據殘餘應力在結構上的應力釋放型式，可將殘餘應力區分為兩種：均布應力 (normal stress) 及梯度應力 (gradient stress)。以下段落將探討這兩種殘餘應力對面型微加工製程的影響，以及如何加以控制與改善。

① 均布應力

均布應力為當材料沉積完成後，內部因晶界及空孔的影響而使整體薄膜在水平面 (即與薄膜厚度垂直的面) 產生收縮或伸展的形變大小。均布應力可依據材料相對無應力狀態時的形變趨勢區分為張應力 (tensile stress) 與壓應力 (compressive stress)，如圖 3.30 所示。在一般製程觀念中，都希望將結構薄膜的均布應力控制得越小越好，然而在實際的結構製造上，由於均布張應力可以讓結構產生繃緊的效果，間接地使結構產生平坦化的效果，因此些微的均布張應力對結構體的完整性而言是屬較佳的情形；反之，均布壓應力則會使結構產生撓曲現象，而過大的壓應力甚至使結構產生挫曲 (buckling) 或破裂 (crack)。此外，均布應力的大小也會改變材料的楊氏係數 (Young's modulus)，當薄膜存在均布張應力時，其材料楊氏係數則會較無均布應力時為大，反之，結構存在均布壓應力，則會減低材料的楊氏係數，在一定範圍內，楊氏係數與均布應力呈線性的正比關係。由此可知，結構體的均布應力狀態會對結構體的靜動態響應 (static & dynamic response) 有相當程度的影響。

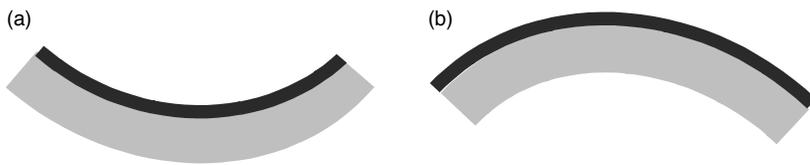


圖 3.30

兩種不同型式的殘餘均布應力。(a) 張應力，(b) 壓應力。

薄膜材料的殘餘應力多是由於薄膜在形成過程中，產生過多的晶界及空孔所導致，因此要消除薄膜材料的殘餘均布應力可以從減少材料的晶界空孔著手，而要減少材料的晶界則可以經由對材料進行退火等熱處理來達到，當退火溫度達到材料的再結晶溫度時，可使材料進行晶粒成長而減少晶界及空孔的數目。以一般面型微加工製程常見的低壓化學氣相沉積法 (LPCVD) 所生成的多晶矽薄膜為例，沉積溫度一般設定在介於 570 °C 與 650 °C 之間，通常溫度越高，化學反應的速度越快，沉積速率越高。在沉積溫度低於 570 °C 的狀況下，較易產生非晶態的矽薄膜；在沉積溫度高於 1300 °C 的狀況下，在合適的基材上有可能沉積出單晶態矽薄膜。一般而言，多晶矽的均布應力大多落於壓應力的範圍，非晶態與微小晶格態之矽薄膜較易呈現正均布應力 (張應力) 或無應力態，通常適當的低沉積溫度有其必要；在材料中加入適度及適當種類的摻雜物 (dopant) 亦有益於將均布應力調整至正值。

② 梯度應力

有別於均布應力之對應於薄膜整體的應力效應，梯度應力則是指薄膜材料沿著厚度方向，在不同的位置上存在著不同的應力或應變，進而導致結構在橫切面上產生彎曲形變，如圖 3.31 所示。應力梯度的主要產生原因為薄膜在沉積過程中，薄膜在厚度方向因局部溫度的差異，導致材料晶粒尺寸 (grain size) 沿著厚度方向產生變化，因此薄膜的殘餘應力沿

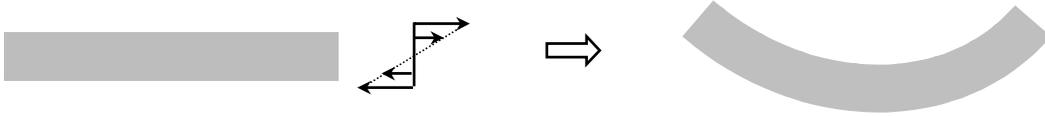


圖 3.31 薄膜材料的殘餘梯度應力。

這厚度方向有著線性的變化。而一般對於殘餘梯度應力的控制與降低方式，仍是和均布應力相同，同樣藉由對薄膜材料進行退火熱處理來消除梯度應力。雖然一般而言，薄膜材料的殘餘梯度應力在量值上比均布應力小一至二數量級，一般在結構設計上多會允許忽視，但在一些對於結構平整度要求較高的光學應用上，殘餘梯度應力的效應便不能再忽視。以一般面型微加工製程常見的低壓化學沉積法所生成的多晶矽薄膜為例，會先在不同材料的界面間形成非晶態的矽材質，而後會隨著鍍膜厚度的增加而逐漸形成結晶態，晶格大小會漸增至一定尺寸；由此可知，在此種沉積狀況下，材料會有自生的本質應力 (intrinsic stress)。而再結晶 (re-crystallization) 技術可適度地舒緩此問題，通常對多晶矽薄膜的再結晶，將材料置於溫度介於 900 °C 至 1000 °C 的爐管中 30 分鐘至 1 小時，可見顯著地改善。

(3) 熱應力或熱應變

熱應力或熱應變發生於雙層或多層薄膜之結構體。雙層材料結構或多層材料結構常因熱應力 (thermal stress) 或熱應變 (thermal strain) 造成結構變形，若發生在雙層材料懸臂樑 (cantilever beam)，當上層材料的熱膨脹係數大於下層時，該懸臂樑會向上彎曲，當材料的熱膨脹係數組成相反，則該懸臂樑會向下彎曲。此種彎曲形變主要是因為各種材料有著不同的熱膨脹係數，在高溫時，將某一種材料鍍於結構體材料上，當溫度降回常溫時，兩種材料的收縮量 (少數是膨脹量) 不一樣，因此當底下的犧牲層移除後，材料原本受壓收縮所存在的能量得到釋放，材料得以自由變形，此時材料間的熱膨脹係數差異所造成的熱應力，迫使材料形變將這些能量吸收。例如：將黃金鍍於懸浮多晶矽薄膜結構的單面，黃金通常會有比多晶矽大的收縮量，導致該黃金與多晶矽雙層材料結構體向黃金側彎曲。當黃金厚度越大時，彎曲程度越大。

要解決或降低熱應力造成的結構形變問題，可由下列方式著手：減少薄膜相對於底下結構體的厚度比、增加結構體的厚度、對結構體的兩側鍍上相同應力與厚度的薄膜、調降鍍膜時的溫度及選擇應力較低的薄膜。

3.4 與積體電路製程相容技術

3.4.1 CMOS-MEMS 之製程相容性探討

簡而言之，以現階段微系統裝置領域的研究來說，欲製作一微型感測或致動元件之方法亦可粗略地區分為兩大類；其一為利用矽晶的晶格特性以及其對各種化學藥品的蝕刻選擇比予以雕塑成形，並視需求在其上沉積薄膜或是在晶圓（晶片）間施以對準接合（bonding）、電鍍等較屬「人為」之方式，製作出外形精巧且具製程彈性之微裝置（即在無塵室自行施行曝光、顯影、蝕刻及電鍍等之微加工步驟）。此種方法賦予微機電研究人員無限的創意揮灑空間，同時也很適合於開發不同用途之微元件雛形。事實上無論是國內外各大學或是較大規模的微機電系統研發單位，多半採用此種方式來設計、製作微機電元件，然此類做法極需具備較豐富製程經驗的製造工程師和適用於多樣性材料之優良機台設備等要素。於微元件設計或是製作的初期，最好能夠兼顧未來控制（驅動）電路外接時的成本，以及製程條件一致性等因素。

而另一種製作方式則為借助現存之積體電路代工廠（IC foundry），如台灣積體電路公司（TSMC）、聯華電子公司（UMC），或是透過國外 MOSIS 服務所提供的標準化製程方式來完成微元件之設計製作。惟以此種標準化製程方式來製作微機電系統裝置時，往往極度受限於下列幾點：(1) 標準化的製程和固定的薄膜材質，(2) 標準化的設計規範（design rule）和電路元件模型（device model），以及 (3) 結構和力學上的考量。

(1) 標準化的製程和固定的薄膜材質

積體電路標準化製程主要乃針對電子電路所需之元件特性而制定，是故無論在材質的選用或是製程參數的設定上均以調校出較佳的電子特性為主要依歸，因而在設計具備三維視野的微機電元件時，務必事先充分了解各晶圓廠、各製程、各層厚度和所選用的薄膜沉積材質和條件。

(2) 標準化的設計規範和電路元件模型

如前述，由於積體電路代工廠所提供的製造程序主要是針對平面的電路元件設計之用，因而為求發揮我們所製作的微機電裝置具備與前端電子電路整合設計或是後段後製程（post process）相容的特點，往往需在兩者的設計上做些妥協或是犧牲。如電路繞線、導線連結及驅動電極（pad）的材料選用、介面電路設計或是經後製程乾蝕刻（dry etching）或濕蝕刻（wet etching）時電路的保護措施等等。所以在某些微結構的設計上難免違反晶圓廠所訂定之設計規範，雖說有些微結構具備較高的誤差容忍度（相對於半導體電子電路而言），但如此一來則相對難以保證結構設計結果之可靠度。

(3) 結構和力學上的考量

微機電元件，顧名思義，為一整合機械結構、驅動電路與感測器的微小裝置，當採用受限的製造程序和製程材料來製作時，必然遭受莫大的設計限制和阻礙。基本上以標準積體電路製程技術製作電路元件方面多半毫無問題，然而一旦將動輒挖空懸浮的三維機械結

構同時製作於一半導體晶片 (chip) 上，且需要準確的致動或是高靈敏度、高線性度的精確感測之時，則以往在積體電路製程中未曾遭逢或是未受重視的物理現象便逐一浮現，此重要問題可說是未來微機電代工製造廠的首要課題，例如圖 3.32 為鋁合金金屬與二氧化矽複合樑結構經後製程加工後所形成之變形情況。故一優秀的微機電研究人員或設計工程師精妙之處，首重如何在如此諸多限制 (耦合) 的環境之中選擇較佳的配置組合，並善用製程標準化之後在經濟成本、機電系統 (裝置) 充分整合以及優良產品均一性之優勢。

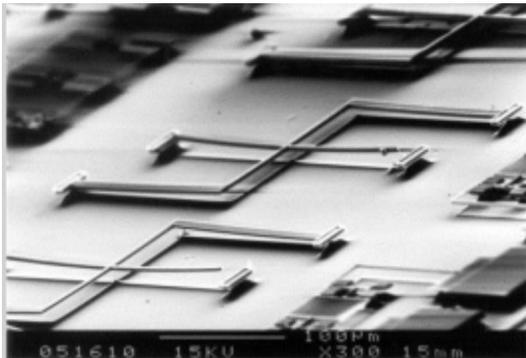


圖 3.32

微機電微結構後製程處理後變形翹曲之情況。

3.4.2 IC 與 MEMS 相容製程之分類與回顧

積體電路製程 (簡稱 IC 製程) 簡單地說乃為一系列之薄膜沉積、對準曝光、顯影、蝕刻和金屬化程序之總和，而這當中當然需要極精良的製程、檢測設備和優秀的半導體研發人才。台灣的積體電路代工服務領先全球，倘若能夠掌握微元件相關之電子、物理或機構等設計技巧，以類似現今專業積體電路設計公司 (IC design house) 之模式致力於微機電系統領域之研究，則不但可擴展產品開發視野，更有助於推行一包含微機電區塊 (MEMS block) 之全方位系統單晶片的發展。

目前國外以整合微電子電路和微機械元件來製作所謂 CMOS-MEMS 裝置的團隊並不少，但一般來說以 Henry Baltes 教授 (PEL, ETH Zurich) 所領導的物理電子實驗室 (裝置應用方面) 和累積優越矽深蝕刻 (silicon deep etching) 技術能量的美國卡內基麥倫大學 (Carnegie Mellon University) 微機電實驗室 (製程、模擬和參數萃取方面) 較具代表性，研究也最為完整。而 CMOS-MEMS 的製造依微加工處理程序的不同可大致分為前製程加工 (pre-CMOS)、中間製程加工 (intermediate-CMOS) 和後製程加工 (post-CMOS) 等三大類。表 3.2 大略列出各類 CMOS 相容微感測器和微致動器所使用的製程平台 (方式) 以及其研發的團隊 (或公司) 供讀者參考⁽⁵⁰⁾，之後並將針對 CMOS-MEMS 製程方式略做探討。

值得注意的是，目前所提及的 CMOS-MEMS 裝置至今仍多半著重在單一元件或是分立次系統 (discrete component or subsystem) 的研發，故將來在建構完整的微系統裝置時需特別

表 3.2 CMOS 相容微感測器／致動器所使用的製程平台及研發團隊⁽⁵⁰⁾。

	單純 CMOS 製程 (pure-CMOS)	薄膜沉積 (thinfilm dep.)	面型微細加工 (surface μ mach.)	體型微細加工 (bulk μ mach.)
標準 CMOS 製程 (完全依據半導體 本身特性所製作 之感測裝置)	Infineon : 指紋辨識裝置 溫度感測器 影像感測器 磁性感測器			
CMOS 前製程 (於標準製程進行 之前加以微機電 前製程處理)			SNL i-MEMS : 加速度計 多軸微陀螺儀	PEL : Trench Hall sensor U. Michigan : 壓力感測器 MIT : 壓力感測器
中間 CMOS 製程 (於標準製程進行 之中加以微機電 製程處理)			Infineon : 壓力感測器 ADI : 加速度器 FhG-IMS : 壓力感測器 Toyota : 壓力感測器	
CMOS 後製程 (於標準製程終了 之後再施予微機 電製程處理)		PEL : Fluxgate sensor Sensirin : 溼度、流量及壓 力感測器 EPFL : 近接感測裝置	PEL : 壓力感測器 Delphi : 慣性感測裝置 Texas Instru. : DMD 微鏡面陣列 Honeywell : 紅外線感測器 UC Berkeley : 慣性感測裝置	PEL : 化學、紅外線、 壓力及功率轉換 裝置 Motorola : 壓力感測器 Sensirin : 流量感測器 Carnegie M. : 慣性感測裝置 Stanford : 功率轉換裝置 TU Munich : 慣性感測裝置 NIST : 功率轉換裝置

留意元件或裝置的封裝及可靠度等問題。其最佳的解決方式乃是在微元件設計之初便能考慮系統或元件的可測試性和封裝。當然，這與研究團隊所累積的設計、製程能力有著密切的關係。

(1) 單純 CMOS 製程 (Just-CMOS Process)

因半導體特性的關係使得一般 CMOS 元件本身便具有作為感測器的優良特性，例如利用霍爾效應 (Hall effect) 的磁性感測器、電流／通量計，CCD/CMOS 影像感測器⁽⁵¹⁻⁵⁵⁾，以及依據半導體電阻－溫度特性的溫度感測 IC，或者是利用電容變化來作為元件的量測參考值。如 Infineon Tech. 的 FingerTIP 在晶片上製作 228 × 224 個像素 (pixel) 來測量感測器表面與手指間所產生的電容值，以作為一可靠的指紋辨識裝置^(56,57)，或者如 2001 年 Popovic 等人充分了解封裝後積體磁場感測器易導致磁場－電流間的偏置 (offset) 和漂移 (drift) 關係，而藉由電路補償技巧來改善其霍爾感測器 (Hall sensor) 的特性⁽⁵⁸⁾。此類方式並不需要額外的前處理或後處理步驟，且多半運用半導體底材或是內連線金屬的物理或化學性質，加上電路設計技巧來達成微裝置的設計，因而產品製作時程較短、成本較低，基本上也是較早整合於積體電路之元件，如一般常見的溫度感測 IC 或是光－電半導體感測元件等。

(2) CMOS 前製程處理程序 (Pre-CMOS Process)

因所謂前製程處理是指在進行 CMOS 標準製程前，先將矽晶片視需要施以微加工步驟，以期在 CMOS 製程完結之後，能得到所預期的整合性結構。一般在實際製程上尚可分為面型微加工方式和體型微加工方式。

① 面型微加工

美國 Sandia 國家實驗室 (SNL) 利用面型微加工方式，先在矽晶片上預先定義微結構所佔用的區域 (圖 3.2)，並深蝕刻至 12 μm 以作為微機械部分，之後填入二氧化矽並加以化學機械研磨 (CMP)，緊接著進行標準 CMOS 製程，完成後才將二氧化矽移除，而達到其所謂的積體化微機電系統 (i-MEMS)⁽⁵⁹⁻⁶¹⁾。而以此種方式製作的微機電裝置則有微加速度計和微陀螺儀、共振器等⁽⁶²⁻⁶⁹⁾。其中微加速度計和微陀螺儀的應用相當廣泛，相關的研究文獻也非常多，而事實上以微機電技術製作的微加速度計，則早已成功達到商品化所需之要求，例如應用在汽車安全氣囊和定位系統上等。

此外值得一提的是美國 Sandia 國家實驗室在提供微機電製程代工之時，深知材料機械性質於製程完結後對微裝置的良率及可靠度有著絕對的關係，因而投入大量人力從事材料性質與殘餘應力－應變的研究，因而得知環境溼度等因素對微裝置的可靠度影響甚鉅，此點相當值得吾人借鏡。

② 體型微加工

先利用體型微加工來進行 CMOS 前製程處理，之後再進行傳統的積體電路製程步驟。此種方式允許設計者選用各種不同微機電製造方式 (如濕蝕刻或是乾蝕刻等) 先行達到微機械部分的設計製作，不僅可使之後製作的電路部分免受高溫的破壞，建構結構時也較不需受限於傳統 CMOS 製程材料的選用問題。然而前段微機電結構材料是否會對 CMOS 製程造成污染 (如爐管等) 則為一重大考量。2000 年 Steiner Vanha 等人利用深蝕刻 (deep etching) 方式，先在 CMOS 底材上蝕刻出數道深 20 μm 的垂直槽 (vertical trench) 以定義霍爾感測器區域，之後利用離子佈植、氧化、沉積多晶矽等步驟製作霍爾感測器之結構部分，最後再進行一般的積體電路製造程序等⁽⁷⁰⁾。此外，使用此類製程的研究團隊還有有美國密西根大學的微機電實驗室等⁽⁷¹⁾，其先用 KOH 濕蝕刻矽底材，定義能承受高溫的微機電結構區域，接著沉積三層多晶矽作為微裝置的電極、結構和保護層，並在之後以一層鋁作為與 CMOS 電路部分的中間連線部分，製作觀念與美國 Sandia 國家實驗室類似。以此種方式為發展平台的 CMOS-MEMS 元件，主要特點在於能有效結合高深寬比之微結構與上層控制／訊號處理電路，基本上除材料與介面電路區塊 (block) 的考量外，其機械結構設計部分大致獨立於電子電路，所以在整體的微系統設計上具有較高的自由度，然後來因高深寬比蝕刻機台如 ICP、DRIE 等陸續被採用，加上材料污染、成本等問題，多數 CMOS-MEMS 的研究團隊採用後製程處理方式 (post-CMOS process) 來發展元件雛形。另外於 1995 年，Parameswaran 等人利用矽融合接合 (silicon fusion bonding) 方式將微機電裝置與傳統 CMOS 電路晶片接合在一起⁽⁷²⁾，亦為一有效達到機、電系統整合的具體方法。

(3) CMOS 中間製程處理程序 (Intermediate-CMOS Process)

所謂中間製程處理程序的製程方式主要是指在 CMOS 製程當中，在多晶矽閘極 (gate Poly) 和金屬導線層 (Metal 1) 之間加入微機電製程，較著名的例子有 Analog Devices 之加速度計⁽⁷³⁾ 與 Infineon 之壓力計⁽⁷⁴⁾。因為微機電製程是在金屬層之前，不受到金屬層 (鋁合金) 之溫度限制 (約 450 °C)，所以可以運用低壓化學氣相沉積法 (LPCVD) 成長多晶矽、氮化矽及氧化矽等結構，就微機電元件設計而言較具彈性。其缺點是消除結構應力之退火 (annealing) 製程會干擾原有 CMOS 之特性，製程上必須整體加以調整。此外，運用此技術之廠商必須原來就具有生產 CMOS 電路之能力，進入門檻較高，所以採用此技術之廠家不多。

(4) CMOS 後製程處理程序 (Post-CMOS Process)

以微機電加工技術進行 CMOS 後製程處理為較普遍的 CMOS-MEMS 裝置製作方式。由於微機械部分將與電子電路部分同時設計、製作，因而在後來的後製程處理上，多半會受到預先製作於其上之電路部分的材料限制，此外非結構強化或機械作動取向設計的積體

電路金屬結構，多少會影響將來微系統裝置的表現和可靠度。然而利用標準 CMOS 製程加上後製程處理的微機電裝置不僅體積小、重量輕、響應迅速，完美整合感測／控制電路、訊號處理單元和微機械裝置的結果更可發揮低成本（適於大量生產）、高效能（智能化⁽⁷⁵⁾）、高雜訊免疫力，以及較短的商品化時程，且若能配合我國優良的半導體製造能力，則更可免除設備、廠房的巨額投資成本。一般在實際製程上尚可分為薄膜沉積後製程和體型或面型微細加工後製程等方式。

① 薄膜沉積後製程

在 CMOS 電路部分製作完成之後，再於其上方沉積某特定用途的薄膜，並藉由積體電路的貫穿孔 (via) 或是另行沉積導體材料作為與電路之接線。此外半導體氣體感測器 (gas sensor)、化學感測器 (chemical sensor) 或是生醫感測器 (biomedical sensor) 等，亦時常在積體電路上方直接塗佈一層特殊材料，以作為微裝置與外界之反應層 (reaction layer) 或是當作觸媒 (catalyst) 之用。此種方式並不需要再行額外的微影、蝕刻等加工過程，但需注意底層電子電路對沉積薄膜的溫度容忍度。

② 體型或面型微細加工後製程

體型或面型微細加工後製程之間的差異，主要在於是否對 CMOS 結構再行沉積或是移除薄膜等工作。而綜觀上述所列各種微機電系統的製作方式，則不難察覺若在 CMOS 製程之前 (或是之中) 猶需額外進行薄膜沉積或蝕刻的話，那麼基於晶圓代工的產能連貫性和一致性，以及電路／微機械的整合設計規範 (design rule)，欲提高產品穩定性和降低研發成本將比預期困難許多。因而後來的發展除特殊目的外多強調所謂無需光罩 (maskless) 後處理，亦即期望在設計之初，便統合電子電路和微機械元件之感測／致動性能，作一整體規劃和設計，當晶片由晶圓廠送回後僅需再施以簡單後製程即可。如 Tanigawa 等人於 1985 年提出了整合型的 MOS 壓阻式壓力感測器，除了標準積體電路製程之外，另利用矽—非等向性濕蝕刻由背面蝕刻出壓力感測薄膜⁽⁷⁶⁾。

1989 年，Parameswaran 等人利用傳統金—氧—半導體結構材料改以設計成許多多晶矽 (polysilicon) 和二氧化矽 (silicon dioxide) 微橋式結構 (microbridge)，同時以矽晶片正面濕蝕刻加工而形成這兩種不同材質的懸浮微橋式結構，其所提出的蝕刻犧牲層造型之觀念可說震驚當時多數半導體和微機電研究人員，對 CMOS-MEMS 研發的演進極具創意和價值⁽⁷⁷⁾。1990 年 Moser 等人及 Ristic 等人也以類似的觀念和做法，利用矽—濕蝕刻的方式在晶片上製作許多微橋、微線圈、懸臂樑和薄膜等微結構，同時提出整合微電子電路的可行性推論，亦即微細結構的加工過程並不會損傷其下方的電子電路^(78,79)。

1992 年 Jaeggi 和 Balthes 以及 1993 年 Gaitan 等人利用蝕刻終止 (etch stop) 方式製作高效率的熱—電功率轉換裝置⁽⁸⁰⁻⁸³⁾。而在 1997—1999 年間，Milanovic 等人為降低電磁波與矽底材間之耦合 (coupling) 損失，將未受保護的矽底材部分先利用 XeF₂ (xenon difluoride) 等向性

氣相蝕刻 16 分鐘，使下方形成一空心孔洞 (undercut cavity)，之後再用與積體電路相容的 EDP 蝕刻液進行非等向性濕蝕刻 (92 °C 約一小時)，以形成 V 形凹槽而成功移除傳輸線下方的矽底材部分⁽⁸⁴⁻⁸⁷⁾。此舉不單降低傳輸線的耦合損失，同時藉由懸浮之絕熱功率裝置的空氣絕緣層以減少導體歐姆損失。這種加工方式在傳統微機電技術雖不算特別，但將之利用在整合高頻微波元件的應用上，則可謂開創積體 RF MEMS 研究的良好契機。此外在新世代微波被動元件的開發方面，還有微機電可變電容、高 Q 值 (quality factor) 電感的設計及共振器等微機電微波元件等⁽⁸⁸⁻⁹⁵⁾。

事實上，與 CMOS 製程相容微機電技術的研發，歷經 1980 年中期至今，無論在研究水準和應用層面來看可謂既深且廣，故在此僅綜合本段落敘述，以幾個主要應用和代表性成果分列於表 3.3⁽⁹⁶⁻¹⁵²⁾。另外亦於表 3.4 列出目前全球幾個提供積體電路－微機電系統的專業代工組織以作為參考⁽¹⁵³⁾。

表 3.3 CMOS 相容微感測器及其研發團隊。

元件及應用	研究團隊	文獻
製程相容性	Carnegie Mellon Univ./CNF-SCREAM Process (Post Si-DRIE)	52 – 56
	SUMMiT/SUMMiT-V Process (Pre-CMOS)	57 – 62
	UCB HexSil Process (Poly-Si molded Tech.)	63 – 65
	Univ. of Michigan, Ann Arbor (Pre-CMOS)	27、66
熱及影像感測器	Kolling (1990)	67
IR 感測器	Lenggenhanger <i>et al.</i> (1992 – 1993)	68、69
	Muller <i>et al.</i> (1994)	70
壓力感測器	壓阻式： Cane <i>et al.</i> (1995)、Kress <i>et al.</i> (1991) 等研究團隊	71、77
	電容式： Dudaiceve <i>et al.</i> (1994)、Kung <i>et al.</i> (1992) 等研究團隊	78 – 83
	壓電式： Caliano <i>et al.</i> (1995)、Schiller <i>et al.</i> (1990) 等研究團隊	84、85
化學感測器	Tai <i>et al.</i> 、Muller、Hierlemann 等研究團隊	86、87
加速度計	Hierold <i>et al.</i> (1996) 等研究團隊	88
真空計	Paul and Baltes (1995) 等研究團隊	89
濕度感測器	Boltshanser & Baltes (1991) 等研究團隊	90
氣體及流量感測器	Moser <i>et al.</i> (1991-1993)、Rodadey <i>et al.</i> (1993) 等研究團隊	91 – 96
質量流量感測器	Yoon 及 Wise (1992) 等研究團隊	97
磁性感測器	Gottfried <i>et al.</i> (1991) 等研究團隊	98
交流電源感測器	Jaeggi <i>et al.</i> (1992) 等研究團隊	99
位置感測器	Schmidt <i>et al.</i> (1993) 等研究團隊	100
微波 CMOS-MEMS 元件	C. T.-C. Nguyen 及 R. T. Howe (1993) 等研究團隊	101 – 108

表 3.4 提供積體電路—微機電系統的專業代工組織⁽¹⁵³⁾。

專業代工組織	代工項目
MOSIS	一般半導體製程以及 CMOS-MEMS 製程代工 (post-wet etch process)-NIST MEMS Library
CMP	CMOS-MEMS BiCMOS-MEMS GaAs-MEMS MUMPs
Cronos	LIGA 面型微加工 體型微加工 MUMPs
Bosch	MEMS 面型微加工
TRONIC'S Microsystems	Epi-SOI 面型微加工
NORMIC	壓電電阻感測器製程

3.4.3 CMOS-MEMS 之設計實務簡介

以下將列舉幾個利用標準積體電路製程所製作之微機電裝置，以供未來欲進行 CMOS-MEMS 元件研發者參考。

(1) 射頻微機電關鍵元件之研製

目前由於通訊市場的開放、資訊家電快速成長和網際網路的蓬勃發展，使得應用在通訊及網路上的被動元件如電感、電容等，皆扮演著極為重要的角色。例如於射頻前端 (RF front end) 電路之壓控振盪器 (voltage controlled oscillator, VCO)、LC 濾波器、雜訊濾波器 (EMI filter)、全球定位系統 (global positioning system, GPS)、微馬達 (micromotor) 和電腦主機板上之電源供應器 (power supply) 等。

此外為了配合無線通訊系統的高功能密度及小型化的市場趨勢，各種被動元件的發展也隨之朝精密化、薄膜化、小型化的方向發展，這種趨勢在電感、電容及電阻器等三種基礎被動元件以及具備高隔絕效率 (isolation)、低插入損失 (insertion loss) 等特性之微機電微波開關 (microwave switch) 尤其明顯。舉例來說，目前的高 Q 值電感器大部分都是以外接 (off-chip) 的方式 (Q 值約 500–1500) 藉由印刷電路板 (PCB) 組裝在一起，因而使得成本提升，而一般的晶片電感之 Q 值均低於 10，特性難達實際要求，甚至於積體電路常用之螺旋形電感 (spiral inductor)，則往往佔據了整個積體電路晶片大部分的面積 (chip size)。故若能將其整合在單一製程晶片上 (monolithically integrated in a single chip)，則可大幅提高系統積

集度、降低研發成本。圖 3.33 為一般射頻電路部分之示意圖，圖中有底色之功能區塊代表微機電技術能將獨立元件整合到晶片上，如帶通濾波器 (band-pass filter) 等；或者是說能提升現有固態電路之性能，如射頻開關 (RF switch)、低雜訊放大器 (low-noise amplifier, LNA)、混波器 (mixer)、壓控振盪器、功率放大器 (power amplifier, PA)、電感及可變電容 (L/C)。

有鑒於標準 CMOS 製程技術的高良率及高穩定性，同時在成本、功率消耗 (power consumption)、量產可行性或晶片整合等因素的考慮下，筆者採用 CMOS-MEMS 相容技術，也就是採用臺灣積體電路製造公司 (Taiwan Silicon Manufacturing Company, TSMC) 提供之標準積體電路製程，並配合 MEMS 微加工技術的後續製程，研製一適用於射頻前端模組之關鍵元件—晶片電感器。如圖 3.34(a) 到圖 3.34(f) 即為利用 CMOS 相容製程所研製之各式微機電立體微電感，其中除一般矩形晶片電感之外，在後製程中同時也電鍍鍍—鐵磁芯於立體電感器之中。另圖 3.35 所示則為一橫向致動之微機電微波開關，其作動原理主要是利用四組梳狀致動器陣列，以推動兩組細長結構桿件，進而驅動中間 T 形連接頭，作為 G-S-G (ground-signal-ground) 共面波導 (coplane waveguide, CPW) 結構之訊號切換。

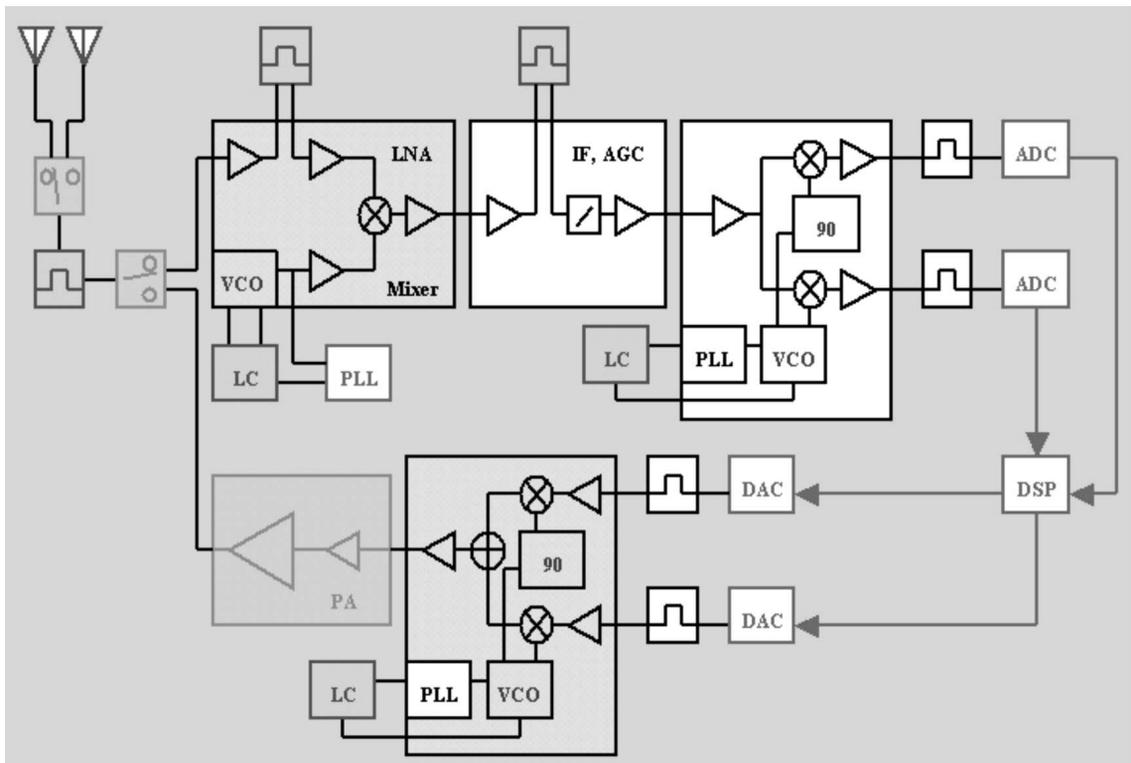
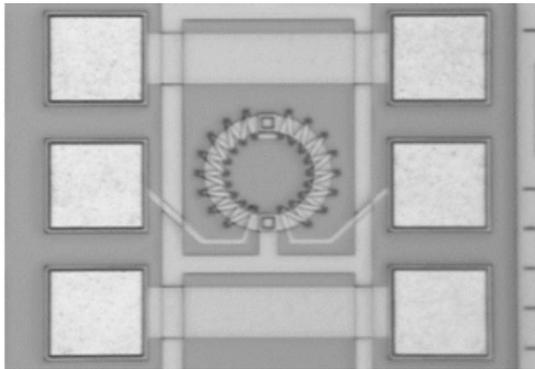
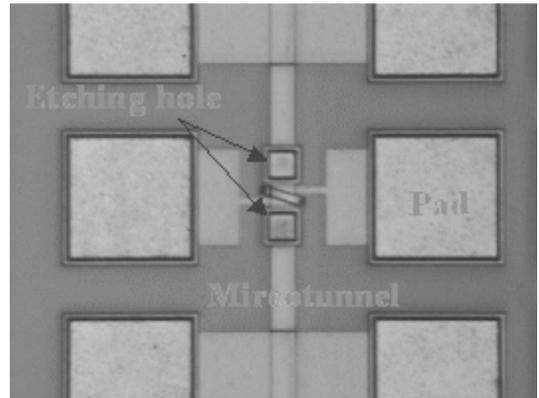


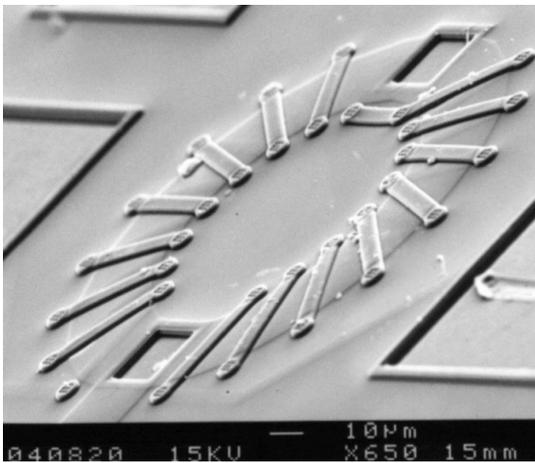
圖 3.33 一般二次降頻射頻電路之示意圖。



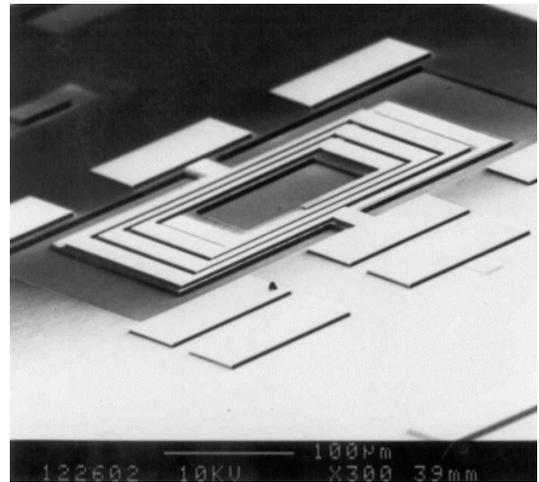
(a)



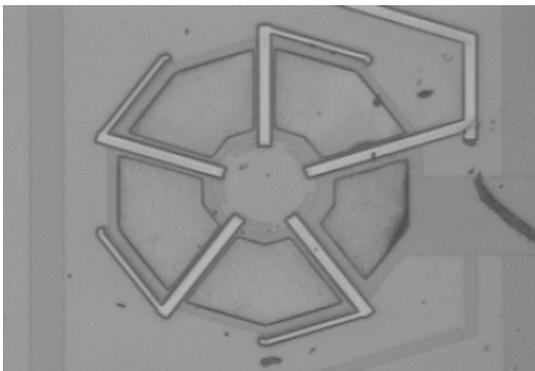
(d)



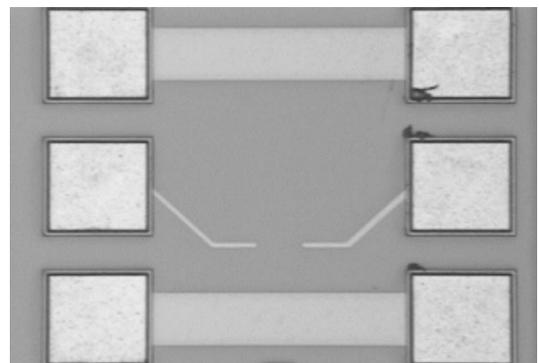
(b)



(e)



(c)



(f)

圖 3.34 (a) 微機電螺旋式立體微電感，(b) 微機電立體螺線環電感，(c) 電鍍後之立體螺線環電感，(d) 微機電立體螺線管電感，(e) 微機電立體微電感，(f) 微機電立體微電感之空置 (去耦合) 焊墊 (dummy pad)。

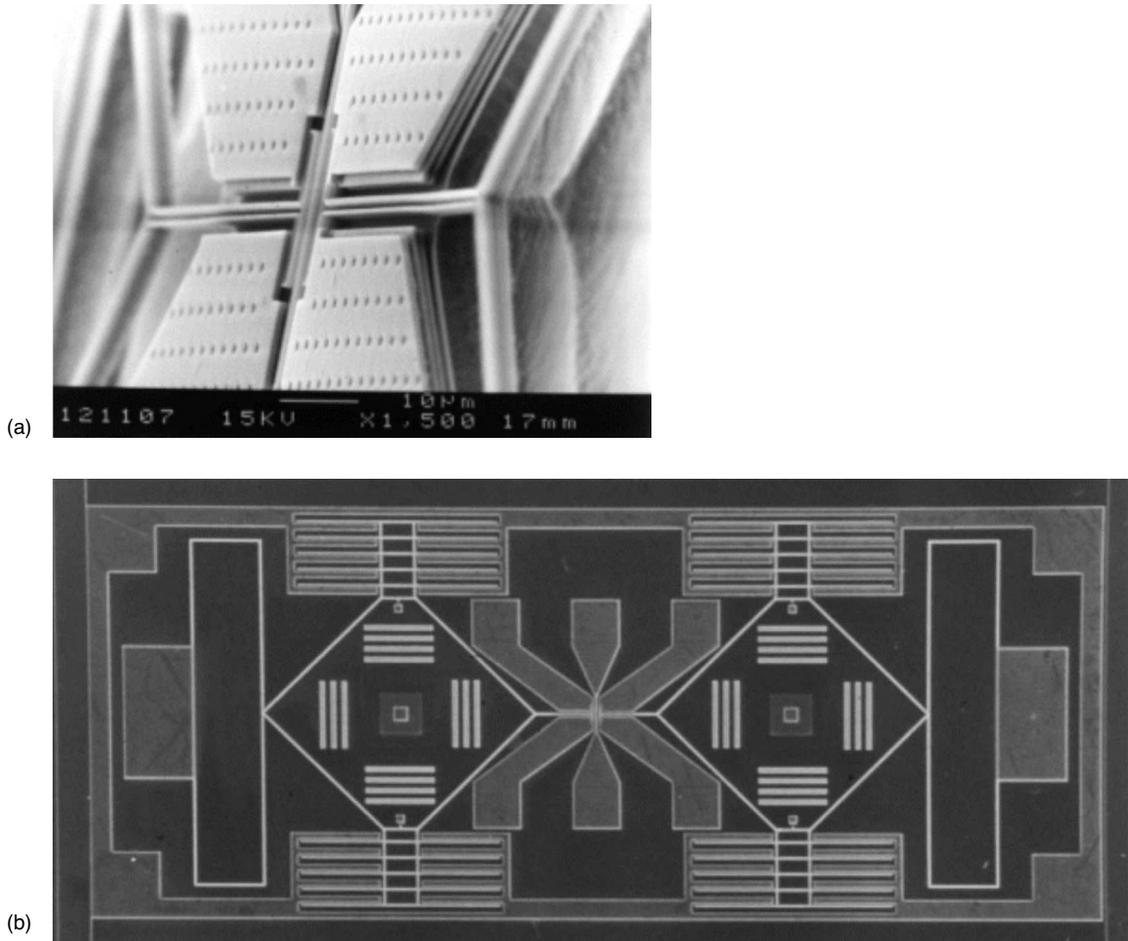


圖 3.35 CMOS 相容製程之微機電微波開關。

以微機電技術來提升目前通訊產業等關鍵零組件的特性，很早便已得到相當廣大的認同和迴響，也就是說，若可透過微機電製造技術之助，以幾個較單純的後製程加工便可大幅提升目前積體電路製程製作之元件特性的話，那麼將非常有利於未來積體微機電系統 (integrated MEMS) 的推行，以及貫徹系統單晶片 (SoC) 之真正意涵。

(2) 微壓力感測器之研製

壓力計無論在工業上、醫學上、軍事上或日常生活上皆有著相當廣泛的應用，而半導體壓力感測器又因其有較傳統壓力計體積小之優點，對量取一些接觸面積較小的物體或用來減低人體對物體的不適有很大的幫助，目前市面上已有的半導體型壓力感測產品有胎壓計、血壓計等。值得一提的是，據 Peripheral Research 最新報告指出，因零組件低價刺激、

銷售量增加，以及部分終端產品應用層面提高之故，微機電技術之市場在未來三年可望成長 200%。也就是說，2005 年微機電市場規模將達 110 億美元。目前的市場規模為 37—38 億美元，且感測器平均售價為 10 美元，而至 2005 年則將降至 1 美元左右。其中汽車業所推行之輪胎壓力感測器將是帶動微機電市場成長的重要動力之一。

圖 3.36 所示之電容式壓力感測器是由 8×8 陣列分布之壓力感測單元 (sensing cell) (如圖 3.37 所示) 所組成，且藉由上下兩平行電極板來產生感測電容，下電極板為固定的電極板，上電極板為壓力薄膜，當施加壓力時會導致上電極板變形，使兩電極板之間距改變而產生相對應的電容量變化，之後再經由電路將電容之變化值轉成電壓的變量，如此一來即可得電壓變化與壓力之間的關係。

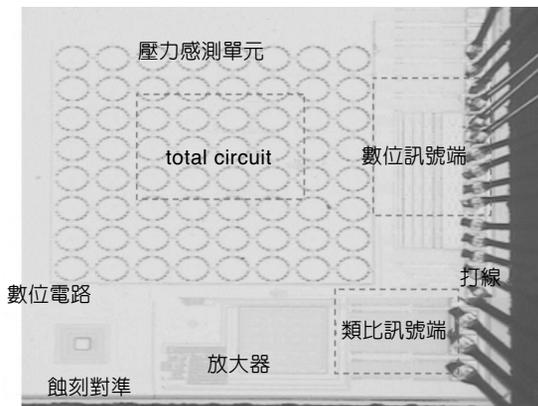
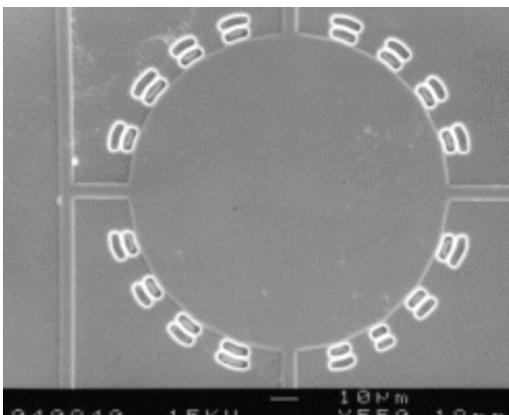
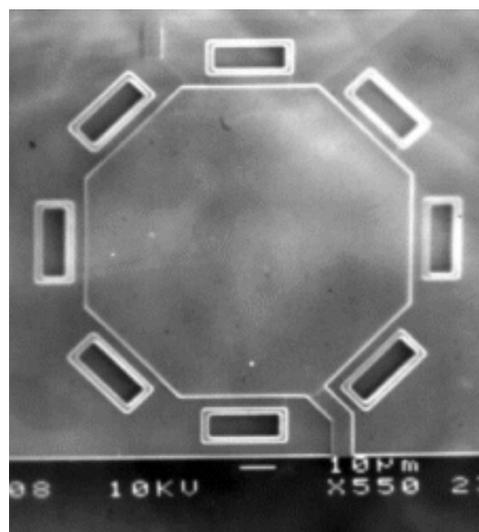


圖 3.36

微壓力感測器晶片及其打線後之情形。



(a)



(b)

圖 3.37 微壓力感測器之單一感測薄膜。

經由晶圓廠設計規範，可計算出 8×8 並聯陣列之壓力感測單元的電容值為 5.5 pF。另在訊號處理電路方面，主要分成數位 (digital) 和類比 (analog) 二部分，數位部分由一個單相時脈 (single phase clock) 訊號轉成二相 (two phase) 的非重疊時脈 (non-overlapping clock) 訊號。而類比部分為切換電容電路 (resettable switched-capacitor gain circuit)。另外在後製程處理方面，當我們完成壓力感測器之設計、模擬、布局及驗證之後，即可循晶片製作程序送件製作。然若欲使壓力計具有實際感測壓力負載的功能，則於晶片送回之後，必須再經由後製程加工方能使感測器作動。以下即針對此電容式壓力感測器後製程略作說明：

1. 取得標準製程之晶片後，塗佈光阻 (photo-resist) 以保護其他不用蝕刻的電路部分或是結構部分。
2. 曝光及顯影 (exposure & development)：利用光罩 (photo mask) 使不欲去除的光阻不受感光，再由顯影液將光阻層所轉移的潛在圖案顯現出來。
3. 乾蝕刻 (dry etching)：在布局時，將欲蝕刻的地方開孔 (pass)，其目的即在利用反應離子蝕刻法 (reactive ion etching, RIE) 進行非等向性蝕刻，直到蝕刻至第三金屬層 (Metal 3)。
4. 濕蝕刻法 (wet etching)：利用 RIE 將二氧化矽蝕刻至第三金屬層後，再用蝕刻液 ($16\text{H}_3\text{PO}_4 + \text{HNO}_3 + \text{CH}_3\text{COOH} + 2\text{H}_2\text{O}$) 將犧牲層 (sacrificial layer, Metal 3) 完全掏空。之後利用電漿輔助化學氣相沉積法 (PECVD) 沉積氮化矽膜 (Si_3N_4) 以封住蝕刻孔。

經以上步驟之加工處理後便完成此壓力感測裝置之製作。雖說後製程略顯繁瑣，但未來若能穩定調制各類程序並朝向標準化、簡單化之設計、製造程序邁進，則在未來廣大的市場需求之中應仍有相當不錯的利基。

(3) 微機電帶通濾波器之研製

濾波器的觀念早在 1915 年即分別由德國的 K. W. Wagner 及美國的 George A. Campbell 所提出，發展至今，理論與實際技術都已相當完整，無論在工業、醫學、研究、軍事或日常生活中，皆佔有重要地位。國內外已有許多研究人員針對以微機電元件製作濾波器為主題進行一系列相關之研究，並驗證其可應用的範圍不侷限於微感測器、微加速度計、微齒輪及微馬達等，在無線通訊領域中也漸漸嶄露頭角，如可調電容器 (tunable micromachined capacitor)、積體式高 Q 值電感器 (integrated high- Q inductor)、低損失微機構式開關 (low loss micromechanical switch)，以及微振動機構式共振器 (micro-scale vibrating mechanical resonator) 等。

我們選用 TSMC 0.5 μm SPTM 與 0.35 μm SPM 兩種 CMOS 製程來製作微電子機械式濾波器，如圖 3.38 所示，其中梳狀驅動器 (comb drive) 的作動原理為先由直流偏壓端 (DC bias port) 給予直流偏壓，同時在驅動端 (drive port) 提供一個交流訊號，如此一來會使直流偏壓端和驅動端產生電位差，使得整個懸浮的梳狀結構 (shuttle mass) 被所產生的靜電力和彈簧結構的回復力相互拉伸吸引而產生週期性位移。此時不斷的改變輸入的頻率，讓此懸

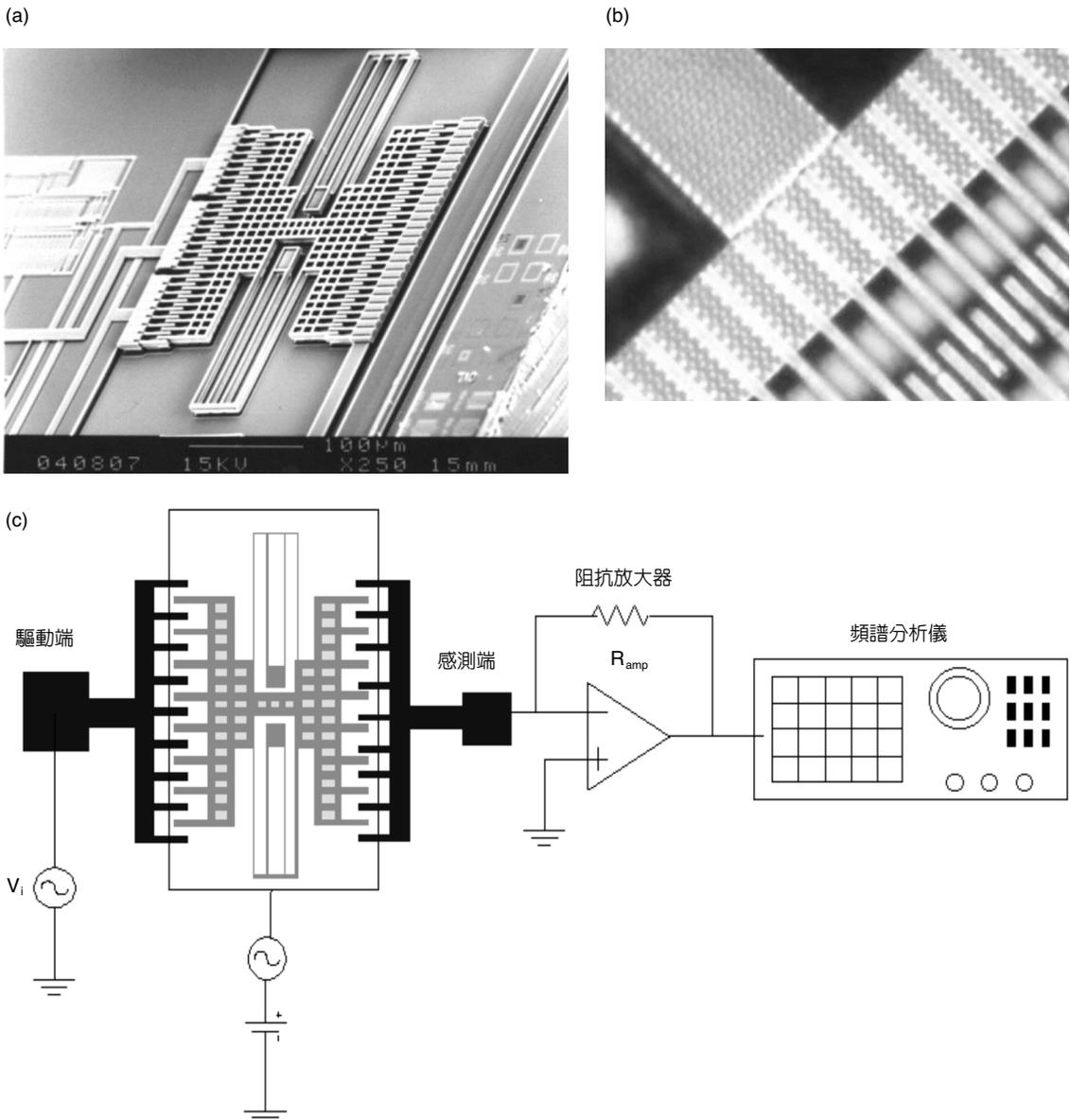


圖 3.38 (a) CMOS 相容製程之微機電帶通濾波器—梳狀共振結構及電路，(b) 微機電帶通濾波器之梳狀共振結構，(c) 微機電帶通濾波器之轉移函數量測示意圖。

浮結構達到共振之模態。屆時，在感測端 (sense port) 則可藉由梳狀結構位移的不斷改變而產生出感應電流，並將其導入電路進行進一步之訊號處理。

在後製程方面，標準製程完成之後須進行兩道後製程，一為 RIE 蝕刻二氧化矽，另一為 RIE 蝕刻矽基材。首先對結構間的二氧化矽進行非等向性蝕刻直至矽基材為止，再對結

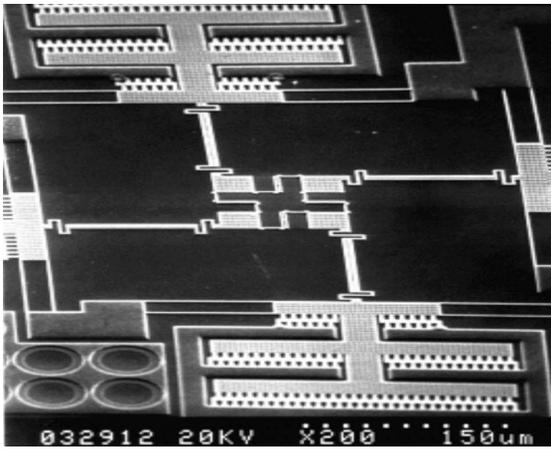
構下的矽基材進行等向性蝕刻使結構懸浮。由於整個共振器要懸浮的部分不超過 $3\ \mu\text{m}$ 寬，而固定端 (anchors) 部分面積為 $19\ \mu\text{m} \times 15\ \mu\text{m}$ ，因此當整個微致動器懸浮時，在相同的蝕刻時間下僅剩下固定端部分與矽基材相黏著，並藉此固定端把整個微致動器牢牢的抓住。CMOS (SPTM) 共振器於共振狀態時會在感測端得到感應電流，此時必須藉由阻抗放大器將其轉換為電壓輸出模式，最後才經由頻譜分析儀 (spectrum analyzer) 來量測其轉移函數 (transfer function)。實驗觀察其中心頻率約為 $13.1\ \text{kHz}$ ，並且幾乎不因 R_{amp} 的變動而使中心頻率有偏移的情形，可是其 $3\ \text{dB}$ 頻寬卻由 $16\ \text{Hz}$ 變化至 $7\ \text{Hz}$ ， Q 值也由 819 變化至 1871 ，明顯具有改善品質因子的效果。值得特別說明的是，空氣阻尼 (air damping) 對微結構共振時的影響在此是可以忽略的，主要是因為對矽基材的蝕刻很深，大幅減少共振器與矽基材表面間的空氣阻尼。

(4) 微光學平台裝置之研製

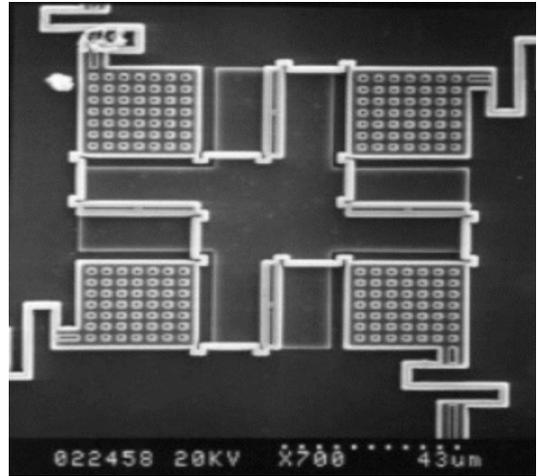
資訊電子化是現代經濟和社會發展的趨勢及需求。二十一世紀的人類不僅生活忙碌且重視品質，因而人與人、社群與社群間的聯繫和往來在此時受到格外的重視，故順勢而出的寬頻網路和無線連網技術則隨著全光網路 (all optical networks, AON) 和同步光網路 (synchronous optical networks, SONET) 架構思維的逐步成形，輔以現代成熟的精密機械和微電子製造技術，慢慢地開創現代生活的新視界。目前網路頻寬正以每 6—9 個月成長一倍的速度急劇增長，同時在此亦出現了各種新型態的多媒體通訊服務，因而無論是企業或個人對通訊網路的頻寬、成本等均相對提出了更高的要求。通訊網路通常分為幹線部分 (core network) 及接取部分 (access network)。由於 DWDM (dense wavelength division multiplexing) 及 OADM (optical add and drop multiplexer) 之發展，目前之幹線已可達 tera bit (10^{12} bit) 之資訊流量，而網路路徑上有 OSNCP (optical sub-network connection protection) 以及 D&C (drop & continue) 之環狀 (ring) 保護次網路。而隨著光互連網和微機電系統技術的逐漸發展，目前已有許多研究團隊或公司擬將許多光被動元件，以積體化方式製作在適當基材之上，期望能借助微機電微型化、輕量化的製作技術將元件大量生產，以達輕薄短小、直接光傳輸 (直接光轉換) 與低成本之優勢。事實上，有越來越多的研究人員和公司採用 MEMS 技術以改善效能，或是希望能藉此降低光開關等元件的製造成本，例如 1992 年 Dautartas 等人和之後的 Ollier (1995)、Marser (1997) 等研究團隊⁽¹⁵⁴⁻¹⁵⁸⁾。而主要研製的目標則是最終之極低光訊號衰減的光對光 (O-O) 直接轉換 (提高光網路的效能) 和模組化 (簡化系統的維護流程和成本)。目前一般光通訊主、被動元件多採用昂貴的底材或是磊晶、沉積等製造技術，因而使得成本居高不下，此外部分的核心光通訊技術則因進入門檻高，不易切入，需依靠美、日等之技術支援。因而如何善用我國擅長之半導體製造技術來開發可行、可靠的通訊元件，實為研發工程師們的一大課題。微機電技術在光通訊方面的應用相當多，例如光衰減器、光纖開關、光波導等元件，而以光網路次系統來看的話，大致有 DWDM、OADM、OXC

(optical cross connect) 等。因而筆者採用 TSMC 所提供之標準 CMOS $0.35\ \mu\text{m}$ SPFM 製程配合 MEMS 後續製程處理來製作一具光—機調變機制裝置平台，如圖 3.39 所示，和一具數位多向性光切換之微型光連結平台裝置 (digital multi-direction optical interconnect device)，如圖 3.40 所示。主要目的乃期望能針對傳統大型光網路連結，或是空間光內連結裝置的尺度和效能改善等，提出一個切實可行的先期研究方案。以下以微型光連結平台為例簡單的說明其設計及製作過程。

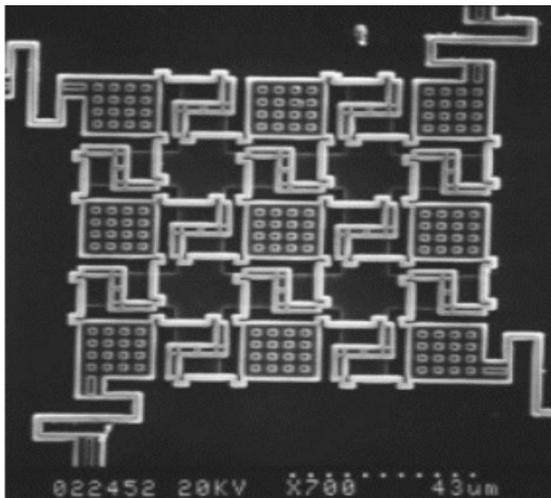
首先以標準製程設計一積體化微型光通訊平台，即將 10×10 之圓形微結構 (半徑約 $23\ \mu\text{m}$) 陣列與一控制電路 (1×8 demux) 同時製作於標準 CMOS 晶片之上。然而因 CMOS 製



(a)



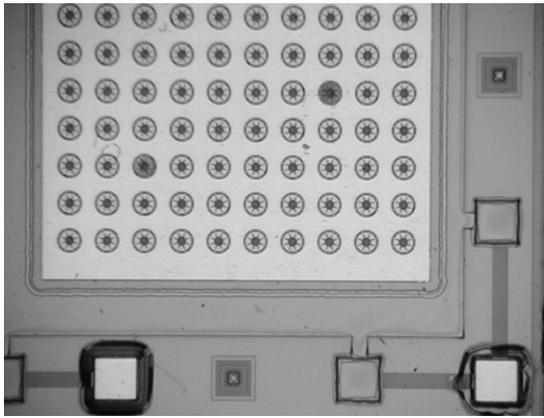
(b)



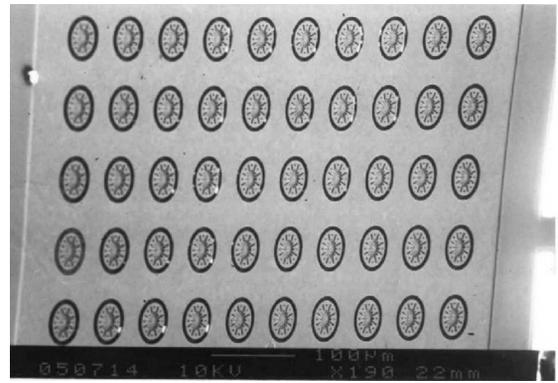
(c)

圖 3.39

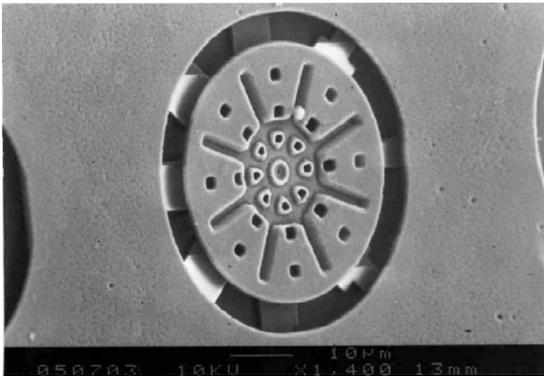
微機電扭轉式光學微結構之設計和製造。



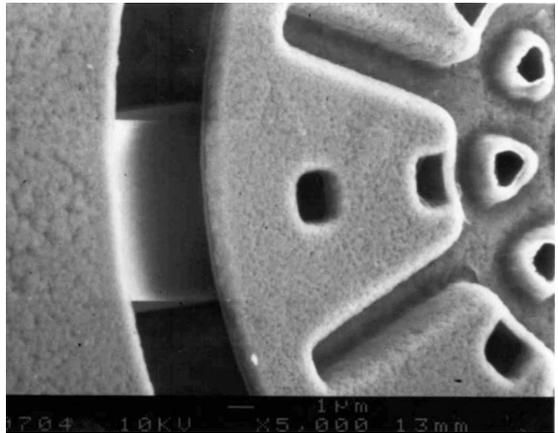
(a)



(b)



(c)



(d)

圖 3.40 CMOS 相容製程之微機電微陣列裝置。

程主要乃針對二維平面之電路結構所設計，因此在元件設計上必須特別考慮微元件經後製程釋放 (released) 後之結構變形問題，若有需要則考慮在重要結構部位酌予強化。另為求能與控制電路完整整合，將控制電路同時安置在微陣列的右方位置，期望能經由輸入選擇線的八種數位輸入方式，獲得微型鏡面的八方向作動，並藉以達到反射入射光源之目的。此類的微致動器一般可作為微光學切換平台 (micro optical bench) 裝置以及空間直接對連裝置之測試和運用。在微裝置的設計上，為求結構順利釋放，故在微鏡面上設有許多方形蝕刻孔，然蝕刻孔的大小、多寡均會影響微鏡面的光學特性以及機械強度。另外微鏡面下方由 VIA 3 構成放射狀強化樑，其目的為強化鏡面剛性，以增加其光學可靠度和平坦度。此種方式雖會在布局驗證時造成錯誤，但仍希望在製程可行的情況之下，能以取材受限的材料種

類和厚度來達到最佳的利用。圓形微結構旁邊之 Metal 4 為蝕刻遮罩，用以保護下方的電路和內連線不受後製程所破壞。之後改採濕蝕刻方式蝕刻二氧化矽 (TEOS oxide)。圖 3.40(d) 中所示製程後之 SEM 圖，而微結構表面凹陷處則為設計之初為求結構補強而將 VIA 3 放大至 $2\ \mu\text{m}$ 所導致之製程缺陷，此可說是違反晶圓廠設計規範時所需付出之代價，故在進行實際的設計工作時務必留意此點。其改善的方式可將之設計成符合規範之最小 rule 之 VIA 陣列即可。

上述四個例子可說明，縱使在有限的材料種類和結構層數目限制的狀況之下，仍可藉由製程或材料本身之間的選用或是乾 (濕) 蝕刻選擇比，製作出一確實可行的微型裝置元件。惟需說明的一點是：由於在 CMOS 製程中，上方的薄膜材料多半由金屬和氧化物堆疊沉積而成，因而在裝置雛形的建立上或許問題不大，但一旦預備走入市場之時，則選用材料的耐久性會受到相當嚴苛的考驗。但無論如何，仍可嘗試將重要結構轉植至矽底材等其他方式，製作出所需之裝置元件。

國外之微機電專業代工如 Cronos、Sandia 等，其與 CMOS 標準製程最大的差異是具有二至三層機械性質優良穩定，而且厚達 $2\ \mu\text{m}$ 的多晶矽結構層，而目前 CMOS 製程之閘多晶矽 (polycide) 層厚度卻多半低於 $3000\ \text{\AA}$ ，並不適宜作為結構層之用。然而因多晶矽與氧化層以及矽底材之間具有不同的選擇性，恰可作為一結構釋放之犧牲層。也就是說製程上的先天缺陷 (對微機械結構來說) 或許存在，但適時且靈活地避開或是反過來加以利用此「缺陷」，則成為 CMOS-MEMS 設計工程師的重要技能。如圖 3.41 及圖 3.42 則是為求取 CMOS 製程中薄膜材料之間所衍生之殘餘應力大小，藉由此類的微應變計 (strain gauge)，可提供設計者各材料間所表現出的機械特性，並作為後續設計之參考。

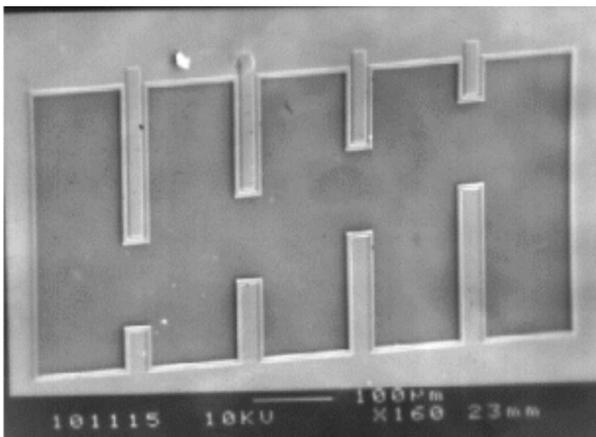


圖 3.41 積體電路微應變計。

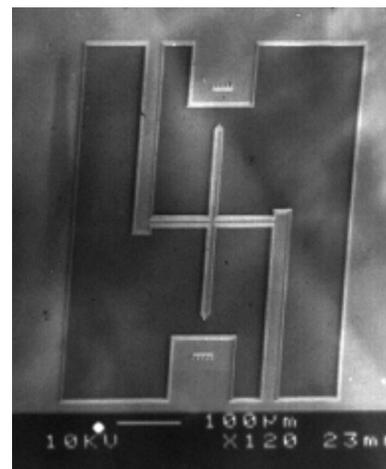


圖 3.42 積體電路指針式微應變計。

3.4.4 CMOS-MEMS 發展趨勢與未來潛力

自西元 2000 年開始，微機電專業晶圓代工廠陸續出現，從而正式宣告產業垂直分工時代的來臨。除了原有的如 Sensoror⁽¹⁵⁹⁾、Standard MEMS⁽¹⁶⁰⁾、Texas Instruments⁽¹⁶¹⁾ 及 Analog Devices⁽¹⁶²⁾ 等整合元件廠外，日本 Sony⁽¹⁶³⁾、美國 Cronos⁽¹⁶⁴⁾、Applied MEMS⁽¹⁶⁵⁾、瑞士 Colibrys⁽¹⁶⁶⁾ 及法國 TRONIC'S⁽⁴⁹⁾ 等均已開始提供 6 吋晶圓之代工服務。此外 Philips 與 Standard MEMS 在德國 Itzehoe 合建 8 吋 CMOS 與 MEMS 共用晶圓廠⁽¹⁶⁷⁾，均提供未來整合積體電路製程之微機電裝置發展的良好契機。而在國內方面，華新麗華已建立全新之 6 吋廠，提供晶圓代工服務，亞太優勢也預定將原有的華邦一廠改裝成 6 吋廠，除了提供自有產品之需求外，亦將提供晶圓代工服務。

綜觀前述各點，CMOS-MEMS 除了具有降低雜訊及降低連線接點數等技術上之優點外，更重要的是提供傳統半導體廠一個以漸進轉移產能方式、跨入微機電事業之切入路徑 (penetration path)，以及由產品雛形快速發展至量產之能力，茲分述如下。

(1) 提供跨入微機電事業之切入路徑

一般微機電元件之成本分布約為製程佔 21%、電路 16%、測試 21%、封裝 42%⁽¹⁶⁸⁾，所以晶圓製造部分只佔微機電總產值的五分之一左右。另一方面，微機電元件種類多，但單一元件每年需求數量不大，除了磁碟機讀寫頭達到 10 億個、噴墨印表頭達到 5 億個外，其餘大部分的元件在 1 億個以下。依據這個數字計算，一家公司如果只有單一產品線，很難填滿一座 6 吋晶圓廠之產能，但用 4 吋或 5 吋廠的營運效率又不如 6 吋或 8 吋廠，可能很快被淘汰。

一個解決的方法是形成設計公司—製造公司 (design house - foundry) 之垂直分工，由許多不同產品之設計公司共同填滿晶圓廠之產能，目前 Cronos 及華新麗華等專業晶圓代工廠即採用此模式。但即使如此，因生產線初期投資金額即相當大 (台幣 10 億左右)，廠房完成初期之產能過剩所帶來之虧損一直是個很大的困擾，也是使得投資者切入微機電產業時裹足不前的重要原因之一。另一個解決方法是像 Analog Devices、Infineon、Standard MEMS 等公司將微機電與 CMOS 合併生產，可解決微機電產品初期產能需求不足的問題。但需要特別注意的是 MEMS 製程中有許多材料如 KOH 與金會污染 CMOS 電路，所以 CMOS 中間製程處理程序還是有許多限制。因此一般仍採用 CMOS 後製程處理程序，所有微機電製程均排在 CMOS 完成之後，完全不會干擾 CMOS 生產線，有可能造成污染的製程可以移到隔離區域進行，甚至可使用較低潔淨度 (營運成本較低) 之區域製造。如果應用此方法，前段薄膜製程可用原有之 CMOS 生產線進行，只要添加後段之濕蝕刻槽、乾蝕刻機與電鍍設備，即可完成微機電製程，可以大幅降低初期投資之風險，也可以讓微機電與 CMOS 合併生產，提供傳統半導體廠一個以漸進轉移產能方式跨入微機電事業之切入路徑。

(2) 提供快速發展至量產之能力

一個微機電元件從出現在文獻中的雛形到變成產品平均需要 6 到 9 年，當中發展量產化技術所需要的時間與投資不容忽視。由於 CMOS-MEMS 後處理方式大部分的製程是在 CMOS 晶圓廠中完成，所使用的已經是成熟的量產技術，所以雛形測試成功後到達量產的時間可以縮短很多。

(3) 善用我國產業優勢

依照競爭力學者 Michael Porter 教授的說法，擁有全球競爭力之產業具有群聚效應，強勢產業會提攜其周邊產業一起取得全球優勢^(169,170)。事實上我國的電子業就是一個明證。我國擁有全球第一流之 CMOS 晶圓代工業、積體電路設計、測試及封裝業，新興之微機電產業如能善用既有之電子產業結構，必能大力加速其發展。而 CMOS-MEMS 即是在此策略思考下之產物，因其與我國現有的強勢產業最接近，發展成為全球第一的機會也較大。

近十年來許多先進國家之技術預測 (technology foresight) 均指出^(171,172)，將來 10 年至 20 年間最重要的三大科技為奈米科技 (nanotechnology)、資訊科技 (information technology) 與生物科技 (biotechnology)。在此趨勢之下，CMOS-MEMS 未來之技術研發可充分與之相輔相成，發展前景樂觀，如提供奈米結構 (物件) 一合適的操作平台等，簡要說明如下。

(1) CMOS-MEMS 作為奈米科技平台

奈米裝置之尺度遠小於人類尺度，所以在實際應用時無法直接產生介面，必須藉微機電技術之助方能產生連結並發揮其功用。例如日本東北大學 Esashi 教授所開發之高密度資訊儲存技術即利用微機電元件作為奈米碳針之平台⁽¹⁷³⁾，場發射顯示器 (field-emission display, FED) 也是應用微機電結構作為奈米碳管 (carbon nanotube, CNT) 之平台。

(2) CMOS-MEMS 作為生物科技介面

以微機電技術製作生物感測器已有多數歷史，如檢測血糖、酸鹼值 (pH)、毒氣、鉀離子、鈉離子等感測器，但在許多應用上 CMOS-MEMS 更有其獨到之優點，分述如下：

- ① 如果感測器需要置放於人體體內，則為了減低外連線數目及減低雜訊，感測器訊號必須經前處理及多工處理 (multiplexing) 後再傳輸，所以必須與積體電路整合。
- ② 同時檢測多種訊號之感測器可利用積體電路進行神經網路運算、自我校正 (self calibration) 或是儲存校正參數及晶片辨識碼。此外生物科技介面中相當值得注意的是導電聚合物之發展，目前 Neuchatel 大學的 de Rooij 教授已應用 polyaniline 製作感測材料。未來如果聚合物半導體技術成熟，或許有機會將整個生物晶片 (含積體電路) 全部採用聚合物來製造⁽¹⁷⁴⁾。

(3) CMOS-MEMS 作為資訊科技介面

目前微電子技術已能輕易在同一晶片上放進整個微電腦系統 (如 8051)，提供高速的資訊處理能力 (如 Pentium 4)，以及可重新設定之資訊路徑 (如 field programmable gate array, FPGA)。而未來發展趨勢是系統單一晶片 (SoC)，除了高度積集化以外，同時逐步將原來獨立在外之元件，如感測器、光電介面、微波介面等，一一整合到晶片上。而 CMOS-MEMS 因其製程與 CMOS 完全相容，因而可說是發展 SoC 技術之最佳選擇。

參考文獻

1. 各國微機電系統之發展現況可參考 World Micromachine Summit 2001 年之論文集或參考 mst news (<http://www.vdivde-it.de/it/mst/>)。
2. 請參考 Reiner Wechsung, Nezh Uenal, Jean Christophe Eloy, and Henning Wicht, Market Analysis for Microsystems, NEXUS, 1998或工業技術研究院產業經濟與資訊服務中心報告。
3. <http://mems.sandia.gov/>
4. <http://www.imm.uni-mainz.de/>
5. <http://www.tronics-mst.com/>
6. E. Bassous, H. Taub, and L. Kuhn, *Appl. Phys. Lett.*, **31**, 135 (1975).
7. C. Hu and S. Kim, *Appl. Phys. Lett.*, **29**, 582 (1976).
8. S. C. Terry, J. H. Jerman, and J. B. Angel, *IEEE Trans. Electron Devices*, **ED-26**, 1880 (1979).
9. E. Bassous, *IEEE Trans. Electron. Devices*, **ED-25**, 1178 (1978).
10. H. Guckel, S. Larsen, M. G. Lagally, B. Moore, J. B. Miller, and J. D. Wiley, *Appl. Phys. Lett.*, **31**, 618 (1977).
11. R. T. Howe and R. S. Muller, *J. Electrochem. Soc.*, **130**, 1420 (1983).
12. K. E. Petersen, *Appl. Phys. Lett.*, **31**, 521 (1977).
13. K. E. Petersen, *Proceedings of the IEEE*, **70** (5), 420, May (1982).
14. L. S. Fan, Y. C. Tai, and R. S. Muller, *Tech. Digest, Transducers 1987, Fourth Int. Conf. on Solid State Sensors and Actuators*, 849 (1987).
15. K. J. Gabriel, W. S. N. Trimmer, and M. Mehregany, *Tech. Digest, Transducers 1987, Fourth Int. Conf. on Solid State Sensors and Actuators*, Tokyo, 853 (1987).
16. M. Mehregany, K. J. Gabriel, and W. S. N. Trimmer, *IEEE Trans. Electron. Devices*, **ED-35**, 719 (1988).
17. L. S. Fan, Y. C. Tai, and R. S. Muller, *IEEE Trans. Electron. Devices*, **ED-35**, 719 (1988).
18. L. S. Fan, Y. C. Tai, and R. S. Muller, *Tech. Digest, IEDM, San Francisco*, 666 (1988).
19. M. Hirata, S. Suwazono, and H. Tanigawa, *Sensors and Actuators*, **13**, 63 (1988).
20. K. Ohwada, Y. Negoro, Y. Konada, and T. Oguchi, *Sensors and Actuators A*, **50**, 93 (1995).
21. C. J. Schmidt, P. Lenzo, and E. G. Spencer, *J. Appl. Phys.*, **46**, 4080 (1975).

22. B. Acklund, N. J. Coron, P. Delsing, B. Jonson, M. Lindros, G. Nyman, H. Ravn, K. Riisager, and H. H. Stroke, *Instrums and Meth. In Physics Res.*, **A279**, 555 (1989).
23. T. A. Kwa and R. Wolffenbuttel, *Sensors and Actuators A*, **31**, 259 (1992).
24. R. F. Wolffenbuttel, *Sensors and Actuators A*, **30**, 109 (1992).
25. H. L. Offereins, H. Sandmaier, K. Maruszyk, K. Kuhl, and A. Plettner, *Sensors and Mater.*, **3**, 127 (1992).
26. J. -H. Liu, T. M. Betzner, and H. Thurman Henderson, *J. Micromech. Microengng*, **5**, 18 (1995).
27. T. Hirano, T. Furahata, K. J. Gabriel, and H. Fujita, *J. MEMS*, **1**, 52 (1992).
28. J. Branebjerg, B. Fabius, and P. Gravesen, *Proceedings of Micro Total Analysis Systems Conference*, Twente, Netherlands, 141, Nov. 21-22 (1994).
29. J. Brenebjerg, P. Gravesen, J. P. Krog, and C. R. Nielsen, *Proceedings of the 9th Annual Workshop on Micro Electro Mechanical Systems*, San Diego, CA, 441, Feb. 11-15 (1996).
30. J. P. Brody and P. Yager, *Sensors and Actuators A*, **58** (1), 13 (1997).
31. G. T. A. Kovacs, C. W. Storment, M. Halks-Miller, C. R. Belczynski, C. C. Della Santina, E. R. Lewis, and N. I. Maluf, *IEEE Transactions on Biomedical Engineering*, **41** (6), 567 (1994).
32. J. Angell, S. Terry, and P. Barth, *Scientific American Journal*, **248**, 44 (1983).
33. C. S. Smith, *Phys. Rev.*, **94**, 42 (1954).
34. H. Robbins and B. Schwartz, *J. Electrochem, Soc.*, **106**, 505 (1959).
35. H. Robbins and B. Schwartz, *J. Electrochem, Soc.*, **107**, 108 (1960).
36. B. Schwartz and H. Robbins, *J. Electrochem, Soc.*, **108**, 365 (1961).
37. B. Schwartz and H. Robbins, *J. Electrochem, Soc.*, **123**, 1903 (1976).
38. M. J. Madou, *Fundamentals of Microfabrication-The Science of Miniaturization*, 2nd ed., New York: CRC Press (2002).
39. R. M. Finne and D. L. Klein, *J. E. C. S.*, **114**, 965 (1967).
40. X. P. Wu and W. H. Ko, *Tech. Digest, Transducers 1987, Fourth Int. Conf. on Solid State Sensors and Actuators*, Tokyo, 126 (1987).
41. J. B. Price, "Anisotropic Etching of Silicon with KOH-H₂O-Isopropyl Alcohol", in *Semiconductor Silicon*, Princeton, NJ, Electrochemical Society Proceedings, 339 (1973).
42. S. A. Campbell, S. N. Port, and D. J. Schifrin, "Anisotropy and the Micromachining of Silicon," in *semiconductor Micromachining*, **2**, West Sussex England: John Wiley & Sons, Ltd., 19 (1998).
43. L. Ristic, H. Hughes, and F. Shemansky, "Bulk Micromachining Technology," in *Sensor Technology and Devices*, London: Artech House, 69 (1994).
44. N. F. Raley, Y. Sugiyama, and T. Van Duzer, *J. Electrochem. Soc.*, **131**, 161 (1984).
45. C. Y. Chang, *ULSI Technology*, McGrawHill (1996).
46. S. A. Campbell, *The Science and Engineering of Microelectronic Fabrication*, Oxford University Press (1996).
47. B. El-Kareh, *Fundamentals of Semiconductor Processing Technology*, Kluwer Academic Publishers (1995).

48. <http://www.spie.org/web/oer/october/oct98/tv.html>
49. <http://www.semiconductor.net/semiconductor/issues/2000/200002/six0002et.asp>
50. O. Brand, *Topics in Microelectronics*, Part of the DTU PhD Course, Physical Electronic Laboratory (PEL), ETH Zurich.
51. M. Gottardi and W. Yang, "A CCD/CMOS Image Motion Sensor", *Proc. ISSCC 93*, San Francisco, CA, USA, 194 (1993).
52. M. Gottardi, *Sensors and Actuators A*, **46-47**, 251 (1995).
53. R. S. Popovic and H. P. Baltes, *IEEE J. of Solid-State Circuits*, **18**, 426 (1983).
54. R. S. Popovic, *Hall Effect Devices. Magnetic Sensors and Characterization of Semiconductors*, The Adam Hilger Series on Sensors - IOP Publishing Ltd. (1991).
55. R. S. Popovic, *Integrated Magnetic Sensors: An Invited Review*, Internal Publication Microelectronics Laboratory - EPUSP - Sao Paulo - Brasil (1992).
56. MST News, No.3 (2000).
57. A. K. Jain, L. Hong, S. Pankanti, and R. Bolle, *IEEE*, **85** (9), 1365 (1997).
58. R. S. Popovic, Z. Randjelovic, and D. Manic, *Sensors and Actuators A*, **91**, 46 (2001).
59. J. H. Smith, S. Montague, J. J. Sniegowski, J. R. Murray, and P. J. McWhorter, "Embedded Micromechanical Devices for The Monolithic Integration of MEMS with CMOS," *Proceedings of International Electron Devices Meeting*, Washington, DC, USA, December 10-13, IEEE, 609 (1995).
60. T. A. Roessig, R. T. Howe, A. P. Pisano, and J. H. Smith, *Ninth International Conference on Solid-State Sensors and Actuators (Transducers' 97)*, Chicago, IL, 859 (1997).
61. C. T.-C. Nguyen, *2000 International Conference on High Density Interconnect and Systems Packaging*, Denver, Colorado, April 25-28, 112 (2000).
62. J. J. Allen, R. D. Kinney, J. Sarsfield, M. R. Daily, J. R. Ellis, J. H. Smith, S. Montague, R. T. Howe, B. E. Boser, R. Horowitz, A. P. Pisano, M. A. Lemkin, and A. C. T. Juneau, *Proceedings of IEEE PLANS 1998*, 9 (1998).
63. W. Kuehnel and S. Sherman, *Sensors and Actuators A*, **45** (1), 7 (1994).
64. M. A. Lemkin, M. A. Ortiz, N. Wongkomet, B. E. Boser, and J. H. Smith, in *ISSCC Dig. Tech. Papers*, 202 (1997).
65. M. A. Lemkin, M. A. Ortiz, N. Wongkomet, B. E. Boser, and J. H. Smith, in *Tech. Dig. 9th Int. Conf. Solid-State Sensors and Actuators (Transducers' 97)*, Chicago, IL, June , 1185 (1997).
66. M. A. Lemkin, "A Fully Differential Lateral Sigma-Delta Accelerometer with Drift Cancellation Circuitry", in *Technical Digest Solid-State Sensor and Actuator Workshop*, 90 (1996).
67. T. A. Roessig and R. T. Howe, "Surface-Micromachined Resonant Accelerometer," A. P. Pisano and J. H. Smith, *1997 International Conference on Solid-State Sensors and Actuators*, Chicago, IL, June 16-19, **2**, 859 (1997).
68. M. A. Lemkin, B. E. Boser, D. Auslander, and J. H. Smith, *1997 International Conference on Solid-State Sensors and Actuators*, Chicago, IL, June 16-19, **2**, 1185 (1997).

69. M. Ortiz, N. Wongkomet, B. Boser, and J. Smith, "A Three-Axis Surface Micromachined Sigma-Delta Accelerometer", *Proc. ISSCC*, 202 (1997).
70. R. S. Vanha, F. Kroener, T. Olbrich, R. Baresch, and H. Baltes, *J. Microelectromechanical Systems*, **9**, 82 (2000).
71. Y. B. Gianchandani, H. Kim, and M. Shinn, B. Ha, B. Lee, K. Najafi, and C. Song, "A MEMS-First Fabrication Process For Integrating CMOS Circuits with Polysilicon Microstructures", *MEMS '98. Proceedings, The Eleventh Annual International Workshop*, 257 (1998).
72. L. P. Parameswaran, C. H. Hsu, and M. A. Schmidt. "A Merged MEMS-CMOS Process Using Silicon Wafer Bonding," *IEDM '95 Technical Digest*, 613 (1995).
73. <http://www.analog.com/technology/mems/>
74. <http://www.infineon.com/>
75. K. Najafi, *Journal of Micromechanics and Microengineerings*, **1**, 86 (1991).
76. Sze, S. M., *Semiconductor Sensor*, New York: John Wiley & Sons (1994).
77. M. Parameswaran, H. P. Batles, L. Ristic, A. C. Dhaded, and A. M. Robinson, *Sensors and Actuators*, **19**, 289 (1989).
78. D. Moser, M. Parameswaran, and H. Baltes, *Sensors and Actuators A*, **21-23**, 1019 (1990).
79. L. Ristic, A. C. Dhaded, K. Chau, and W. Allegretto, *Sensors and Actuators A*, **21-23**, 1042 (1990).
80. D. Jaeggi and H. Baltes, *IEEE Electron Device Letters*, **13** (7), 366 (1992).
81. M. Gaitan, J. Kinard, and D. X. Huang, *Instrumentation and Measurement Technology Conference, 1993. IMTC/93. Conference Record.*, IEEE, 243 (1993).
82. D. Jaeggi, *Thermal Converters by CMOS Technology*, Ph.D. Dissertation no. 11567, ETH Zurich, Switzerland, (1996).
83. E. Yoon and K. D. Wise, *IEEE Trans. Electron Devices*, **41** (9), 1666 (1994).
84. E. Hoffman, B. Warneke, E. Kruglick, J. Weiglod, and K. S. J. Pister, *J. Micro Electro Mechanical Systems, MEMS '95, Proc.*, IEEE, 288 (1995).
85. V. Milanovic, *Micromachined Broadband Thermocouple Microwave Power Sensors in CMOS Technology*, D.Sc. Dissertation, The George Washington University, Jan. 1999.
86. N. H. Tea, V. Milanovic, C. Zincke, J. S. Suehle, M. Gaitan, M. Zaghloul, and J. Geist, *J. Microelectromechanical Systems*, **6** (4), 363 (1997).
87. V. Milanovic, M. Hopcroft, C. A. Zincke, M. Gaitan, and M. E. Zaghloul, *Proceedings of Int. Symposium on Circuits and Systems - ISCAS '99*, **V**, 144, Orlando, FL. (1999).
88. N. M. Nguyen and R. G. Meyer, *IEEE J. of Solid-State Circuits*, **SC-25** (4), 1028 (1990).
89. N. M. Nguyen and R. G. Meyer, *IEEE J. of Solid-State Circuits*, **SC-27** (3), 444 (1992).
90. P. R. Gray and R. G. Meyer, *Proceedings 1995 IEEE Custom Integrated Circuits Conference*, Santa Clara, CA, May 1-4, 83 (1995).
91. C. T.-C. Nguyen, *1997 IEEE International Symposium on Circuits and Systems*, Hong Kong, June 9-12, 2825 (1997).

92. J. A. Von Arx and K. Najafi, *Solid State Sensors and Actuators, Transducers '97 International Conference*, Chicago, **2**, 999 (1997).
93. C. H. Ahn, Y. J. Kim, and M. G. Allen, Digest of Technical Papers, *The 7th International Conference on Solid-State Sensors and Actuators (Transducers '93)*, Yokohama, Japan, June 7-10, 70 (1993).
94. C. T.-C. Nguyen and R. T. Howe, Technical Digest, *IEEE International Electron Devices Meeting*, Washington, D. C., 199 (1993).
95. C. T.-C. Nguyen, *Proceedings of 1998 IEEE International Micro Electro Mechanical Systems Workshop*, Heidelberg, Germany, Jan. 25-29, 1 (1998).
96. Z. L. Zhang and N. C. MacDonald, *Journal of Micromechanics and Microengineering*, **2** (1), 31 (1992).
97. K. A. Shaw, Z. L. Zhang, and N. C. MacDonald, *Sensors and Actuators A*, **40**, 63 (1994).
98. R. E. Mihailovich, Z. L. Zhang, K. A. Shaw, and N. C. MacDonald, *MEMS '93, Proceedings An Investigation of Micro Structures, Sensors, Actuators, Machines and Systems. IEEE.*, 184 (1993).
99. K. -F. Bohringer, B. R. Donald, and N. C. MacDonald, *Proc. IEEE Workshop on Micro Electro Mechanical Systems (MEMS)*, San Diego, California (Feb. 1996).
100. K. A. Shaw, Z. L. Zhang, and N. C. MacDonald, *Proceedings of IEEE Microelectromechanical Systems*, 155 (Feb. 1993).
101. R. Nasby, J. Sniegowski, J. Smith, S. Montague, C. Barron, W. Eaton, P. McWhorter, D. Hetherington, C. Apblett, and J. Fleming, *Proc., Solid-State Sensor and Actuator Workshop*, 48 (1996).
102. J. J. Sniegowski and C. Smith, *8th International Conference on Solid-State Sensors and Actuators, and Eurosensors IX, Proc. Transducers '95 / Eurosensors IX*, Stockholm, Sweden, June 25-29, **2**, 364 (1995).
103. T. W. Krygowski, M. S. Rodgers, J. Sniegowski, S. M. Miller, and J. Jakubczak, *Electron Devices Meeting, 1999 IEDM Technical Digest*, 697 (1999).
104. J. J. Sniegowski and M. S. Rodgers, *Electron Devices Meeting, 1997 Technical Digest*, 903 (1997).
105. J. H. Comtois, M. A. Michalick, and C. C. Baron, *43rd International Instrumentation Symposium*, Instrument Society of America, 169 (1997).
106. E. J. Garcia and J. J. Sniegowski, *Sensors and Actuators A*, **48**, 203 (1995).
107. C. G. Keller and R. T. Howe, *IEEE Micro Electro Mechanical Systems Workshop*, Nagoya, Japan, Jan. 72 (1997).
108. C. G. Keller and R. T. Howe, *IEEE Micro Electro Mechanical Systems Workshop*, Nagoya, Japan, Jan. 72 (1997).
109. K.-F. Bohringer, K. Goldberg, M. Cohn, R. Howe, and A. P. Pisano, *Robotics and Automation 1998, Proceedings. 1998 IEEE International Conference*, **2**, 1204 (1998).
110. F. Ayazi and K. Najafi, *MEMS '98. Proceedings, The Eleventh Annual International Workshop*, 621 (1998).

111. A. Kolling, F. Bak, P. Bergveld, and E. Seevinck, *Sensors and Actuators A*, **21-23**, 645 (1990).
112. R. Lenggenhanger, H. Baltes, J. Peer, and M. Forster, *IEEE Electron Device Letters*, **13**, 454 (1992).
113. R. Lenggenhanger, H. Baltes, and T. Elbel, *Sensors and Actuators A*, **37-38**, 216 (1993).
114. M. Muller, R. Gottfried-Gottfried, H. Kuck, and Mokwa, *Sensors and Actuators A*, **41-42**, 538 (1994).
115. C. Cane, F. Campabadal, J. Esteve, M. Lozano, A. Gotz, J. Santander, C. Butter, J. A. Plaza, L. Pahun, and S. Marco, *Sensors and Actuators A*, **46-47**, 133 (1995).
116. H. J. Kress, F. Bantine, J. Marek, and M. Willmann, *Sensor and Actuator A*, **25-27**, 21 (1991).
117. C. C. Lai, L. J. Yang, P. Z. Chang, C. L. Dai, D. J. Wei, and S. I. Liu, *International Electron Devices and Materials Symposia, Symposium C, E&F*, Taiwan, 307 (1996).
118. A. C. M. Gieles and G. H. J. Somers, *Philips Technical Review*, **33** (1), 14 (1973).
119. S. Sugiyama, K. Shimaoka, and O. Tabata, *Digest of Technical Papers, 1991 International Conference on Solid-State Sensors and Actuators, Transducers '91*, 188 (1991).
120. K. Shimaoka, O. Tabata, M. Kimura, and S. Sugiyama, *Digest of Technical Papers, The 7th International Conference on Solid-State Sensors and Actuators, Transducers '93*, 632 (1993).
121. J. S. Weber, S. Seitz, U. Steger, B. Folkmer, U. Schaber, A. Plettner, H. L. Offereins, H. Sandmeier, and E. Lindner, *Sensors and Actuators A*, **46-47**, 137 (1995).
122. H. Dudaiceve, M. Kandler, Y. Manoli, W. Mokwa, and E. Spiegel, *Sensors and Actuators A*, **43**, 157 (1994). *Transducers '91*, p. 308.
123. J. T. Kung, and H.-S. Lee, *Journal of Microelectromechanical Systems*, **1** (3), 141 (1992).
124. F. V. Schnatz, U. Schöneberg, W. Brockherde, P. Kopystynski, T. Mehlorn, E. Obermier, and H. Benzel, *Sensors and Actuators A*, **34**, 77 (1992).
125. T. Nagata, H. Terabe, S. Kuwahara, S. Sakurai, O. Tabata, S. Sugiyama, and M. Esashi, *Digest of Technical Papers, 1991 International Conference on Solid-State Sensors and Actuators, Transducers '91*, 308 (1991).
126. U. Schoeneberg, F. V. Schnatz, and W. Brockherde, *Digest of Technical Papers, 1991 International Conference on Solid-State Sensors and Actuators, Transducers '91*, 304 (1991).
127. Y. E. Park and K. D. Wise, "An MOS Switched-Capacitor Readout Amplifier for Capacitive Pressure Sensors," *Proceedings of the IEEE Custom IC Conference*, pp. 380-384 (1983). Reprinted in *Microsensors*, ed. R. S. Muller, R. T. Howe, S. D. Senturia, R. L. Smith, and R. M. White, IEEE Press (1991).
128. G. Caliano, N. Lamberti, A. Iula, and M. Pappalardo, *Sensors and Actuators A*, **46** (1-3), 176 (1995).
129. P. Schiller, D. L. Polla, and M. Ghezzi, *Technical Digest. IEEE Solid State Sensor and Actuator Workshop*, Hilton Head, SC, USA, 187 (June 1990).
130. Y. C. Tai and R. S. Muller, in *Dig. Tech. Papers Transducers '87*, 360 (1987).
131. A. Hierlemann, U. Weimar, G. Kraus, and M. Schweizer-Berberich, *Sensors and Actuators B*, **26-27**, 126 (1995).
132. C. Hierold, A. Hildbrandt, U. Naher, T. Scheiter, B. Mensching, M. Steger, and R. Tielert,

- Proceeding of IEEE Micro Electro Mechanical System*, 174 (1996).
133. O. Paul and H. Baltes, *Sensors and Actuators A*, **47-47**, 143 (1995).
 134. T. Boltshauser and H. Batles, *Sensors and Actuators A*, **25-27**, 509 (1991).
 135. D. Moser, R. Lenggenhager, and H. Baltes, *Sensors and Actuators A*, **25-27**, 577 (1991).
 136. D. Moser, R. Lenggenhager, G. Wachutka, and H. Batles, *Sensors and Actuators B*, **6**, 165 (1992).
 137. D. Moser and H. Baltes, *Sensors and Actuators A*, **37-38**, 33 (1993).
 138. J. Robadey, O. Paul, and H. Baltes, *Journal of Micromechanics and Microengineerings*, **5**, 243 (1995).
 139. F. Mayer, G. Salis, J. Funk, O. Paul, and H. Baltes, *Proceeding of IEEE Micro Electro Mechanical System*, 116 (1996).
 140. F. Mayer, G. Ofner, H. Jacobs, O. Paul, and H. Baltes, in *Tech. Dig. IEEE Int. Electron Devices Meeting IEDM 1997*, Washington, DC, 895 (1997).
 141. E. Yoon, and K. D. Wise, *IEEE Trans. on Electron. Devices*, **39**, 1376 (1992).
 142. R. Gottfried-Gottfried, and G. Zimmer, *Sensors and Actuators A*, **25-27**, 753 (1991).
 143. D. Jaeggi, H. Baltes, and Moser, *IEEE Electron Device Letters*, **13**, 366 (1992).
 144. W. D. Schmidt, H. Ahlers, V. Heimig, and R. Bohrisch, *Sensors and Actuators A*, **39**, 117 (1993).
 145. N. M. Nguyen and R. G. Meyer, *IEEE J. of Solid-State Circuits*, **SC-25** (4), 1028 (1990).
 146. N. M. Nguyen, and R. G. Meyer, *IEEE J. of Solid-State Circuits*, **SC-27** (3), 444 (1992).
 147. P. R. Gray and R. G. Meyer, *Proceedings, 1995 IEEE Custom Integrated Circuits Conference*, Santa Clara, CA, 83 (1995).
 148. C. T.-C. Nguyen, *1997 IEEE International Symposium on Circuits and Systems*, Hong Kong, 2825 (1995).
 149. J. A. Von Arx and K. Najafi, *Solid State Sensors and Actuators, International Conference Transducers '97*, Chicago, **2**, 999 (1997).
 150. C. H. Ahn, Y. J. Kim, and M. G. Allen, *Digest of Technical Papers, the 7th International Conference on Solid-State Sensors and Actuators (Transducers '93)*, Yokohama, Japan, 70 (1993).
 151. C. T.-C. Nguyen and R. T. Howe, *Technical Digest, IEEE International Electron Devices Meeting*, Washington, D. C., 199 (1993).
 152. C. T.-C. Nguyen, *Proceedings, 1998 IEEE International Micro Electro Mechanical Systems Workshop*, Heidelberg, Germany, 1 (1998).
 153. 蕭富元, *MEMS Foundries Worldwide*, 國家晶片系統設計中心教材。
 154. M. F. Dautartas, A. M. Benzoni, Y. C. Chen, and G. E. Blonder, *J. Lightwave Technol.*, **10**, 1078 (1992).
 155. O. P. Labeye, and F. A. Revol, *Electron. Lett.*, **31** (23), 2003 (1995).
 156. C. Marsier, C. Thio, M. -A. Gretillat, and N. F. de Rooji, *J. Microelectromechan. Syst.*, **6** (3), 277 (1997).
 157. L. Y. Lin, E. L. Goldstein, J. M. Simmona, and R. W. Tkach, *IEEE Photon. Technol. Lett.*, **10**, 525 (1998).

158. M. H. Kiang, O. Solgaard, K. Y. Lau, and R. S. Muller, *J. Microelectromechan. Syst.*, **7** (1), 27 (1998).
159. <http://www.sensor.fi/>
160. <http://www.stdmems.com/>
161. <http://www.dlp.com/>
162. <http://www.analog.com/technology/mems/>
163. <http://www.foundry.sony.com/>
164. <http://www.memsrus.com/>
165. <http://www.appliedmems.com/>
166. <http://www.colibrys.com/>
167. MST News, No. 5, 41 (2000).
168. E. Mounier, *Semiconductor International*, **24** (14), 67 (2001).
169. M. E. Porter, *Competitive Strategy*, The Free Press (1980).
170. M. E. Porter, *The Competitive Advantage of Nations*, The Free Press (1990).
171. P. S. Anton, R. Silbergliitt, and J. Schneider, *The Global Technology Revolution*, National Defense Research Institute, Santa Monica, USA (2001).
172. R. W. Siegel, E. Hu, and M. C. Roco, *Nanostructure Science and Technology, a Worldwide Study*, National Science and Technology Council, USA (1999).
173. D.-W. Lee, T. Ono, T. Abe, and M. Esashi, *Proc. 14th IEEE International Conference on Micro Electro Mechanical Systems (MEMS 2001)*, 204 (2001).
174. H. Baltés, O. Brand, A. Hierlemann, D. Lange, and C. Hagleitner, *Proc. 15th IEEE International Conference on Micro Electro Mechanical Systems (MEMS 2002)*, 459 (2002).